

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Yoshihiko IMANAKA et al.

Serial Number: Not Yet Assigned

Filed: April 8, 2004

For: AEROSOL DEPOSITION PROCESS

Attorney Docket No.: 042307

Customer No.: **38834**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

April 8, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-137398, filed on May 15, 2003

Japanese Appln. No. 2003-137399, filed on May 15, 2003

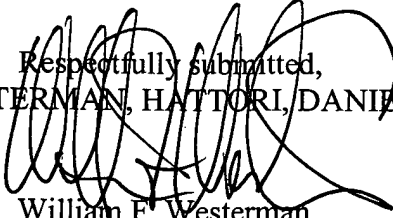
Japanese Appln. No. 2003-170475, filed on June 16, 2003

In support of these claims, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


William F. Westerman
Reg. No. 29,988

1250 Connecticut Avenue, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
WFW/ll

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: May 15, 2003

Application Number: No. 2003-137398
[ST.10/C]: [JP 2003-137398]

Applicant(s): FUJITSU LIMITED
NATIONAL INSTITUTE OF ADVANCED
INDUSTRIAL SCIENCE AND TECHNOLOGY

December 18, 2003

Commissioner,
Patent Office Yasuo Imai (Seal)

Certificate No. 2003-3105083

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 3 7 3 9 8
Application Number:

[ST. 10/C]: [J P 2 0 0 3 - 1 3 7 3 9 8]

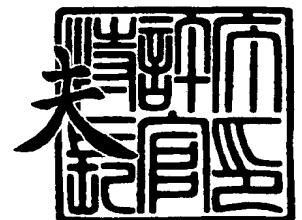
出 願 人 富士通株式会社
Applicant(s): 独立行政法人産業技術総合研究所



2 0 0 3 年 1 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 5 0 8 3

【書類名】 特許願

【整理番号】 0340284

【提出日】 平成15年 5月15日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H05K 3/46

【発明の名称】 回路基板、電子装置、及び回路基板の製造方法

【請求項の数】 9

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 今中 佳彦

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 明渡 純

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 マキシム レベデフ

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 301021533

 【氏名又は名称】 独立行政法人産業技術総合研究所

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン
プレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 10,500円

【その他】

国等以外の全ての者の持分の割合 5 0 / 1 0 0

国等の委託研究の成果に係る特許出願（平成 1 5 年度新
エネルギー・産業技術総合開発機構「ナノレベル電子セ
ラミックス材料低温成形・集積化技術」委託研究、産業
活力再生特別措置法第 3 0 条の適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路基板、電子装置、及び回路基板の製造方法

【特許請求の範囲】

【請求項 1】 当該回路基板中または回路基板上に受動素子及び配線を有する回路基板であって、

前記受動素子又は配線がエアロゾルデポジション法により形成されてなることを特徴とする回路基板。

【請求項 2】 前記受動素子がエアロゾルデポジション法により形成された誘電体膜、抵抗体膜、及び導電体膜のうち少なくとも 1 つを有することを特徴とする請求項 1 記載の回路基板。

【請求項 3】 ベース基板と、該ベース基板上に絶縁層を積層されてなり、前記ベース基板及び絶縁層のうち少なくともいずれかが樹脂材料よりなることを特徴とする請求項 1 または 2 項記載の回路基板。

【請求項 4】 前記樹脂材料は、エポキシ樹脂、ポリイミド樹脂、ポリエステル樹脂、フッ素系共重合体及びファイバガラスの群のうち、少なくとも一つを含むことを特徴とする請求項 3 記載の回路基板。

【請求項 5】 前記エアロゾルデポジション法に用いられる微粒子材料はアルミニウム系化合物または鉛系化合物が添加もしくは被覆されていることを特徴とする請求項 1～4 のうち、いずれか一項記載の回路基板。

【請求項 6】 請求項 1～5 のうちいずれか一項記載の回路基板と、電子部品とを備えた電子装置。

【請求項 7】 回路基板中または回路基板上に誘電体膜、抵抗体膜、及び導電体膜のうちいずれか 1 つを有する受動素子または配線を備えた回路基板の製造方法であって、

エアロゾル化した微粒子材料をキャリアガスと共に所定の速度で噴射して、前記誘電体膜、抵抗体膜、及び導電体膜のうち少なくとも 1 つを形成する成膜工程を備えることを特徴とする回路基板の製造方法。

【請求項 8】 前記回路基板は、ベース基板と、該ベース基板上に積層された絶縁層とを有し、

前記ベース基板及び絶縁層のうち少なくともいずれかが樹脂材料よりなることを特徴とする請求項7記載の回路基板の製造方法。

【請求項9】 微粒子の平均粒径は10nm～1μmの範囲に設定されることを特徴とする請求項7または8記載の回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路基板上あるいは回路基板中にキャパシタや抵抗素子、インダクタなどの受動素子を有する回路基板、電子装置及び回路基板の製造方法に係り、特に回路基板を構成するベース基板又は絶縁層が樹脂材料よりなる回路基板に関する。

【0002】

ユビキタス社会を目指して、パーソナルコンピュータ、携帯電話、Bluetooth（登録商標）、その他モバイル機器等の分野で、電子機器の小型化・高性能化が急速に進んでいる。このような電子機器の小型化を一層進展させるためには、実装技術のより一層の高密度化および高周波回路の集積化が必要である。このために、キャパシタ、抵抗素子、インダクタ、アンテナ、フィルター等の各種受動素子を内部に組み込んだ回路基板が使用されている。

【0003】

【従来の技術】

従来から現在まで開発されている受動素子を内部に組み込んだ回路基板は3つに大別することができる。（1）シリコン基板等を用いて薄膜プロセスにより受動素子を形成する場合、（2）セラミック基板を用いて受動素子を形成する場合、（3）樹脂プリント板を用いて受動素子を形成する場合である。

【0004】

（1）の薄膜プロセスにより受動素子を形成する場合は、シリコン基板や合金基板の平坦な基板上にスパッタ・メッキ法等により形成される配線層や、ポリイミド等の樹脂を塗布して形成される絶縁層を繰り返し積層することにより多層化するものである。この場合、受動素子、例えばキャパシタや抵抗素子の誘電体膜

や抵抗体膜等を薄膜酸化物等により形成している。誘電体膜材料としては、BT (BaTiO₃)、BST (BaSrTiO₃) などの酸化物セラミックス材料をスパッタ法やゾルゲル法、CVD法等で形成している（例えば、特許文献1参照）。

【0005】

(2) のセラミック基板を用いて受動素子を形成する場合は、セラミック基板上に導電体膜、誘電体膜、抵抗体膜および絶縁膜の各ペーストを印刷、乾燥、焼成を繰り返し行って多層化するものである。焼成は1000℃以上の温度において行われるため、誘電体膜は上述したバルクの誘電特性をほぼ得ることができる。

【0006】

(3) の樹脂プリント板を用いて受動素子を形成する場合は、ベース基板としてFR4 (ガラスエポキシ材料) を用い、導電層としてはめっき法を用いたCu膜、絶縁層としては、エポキシ樹脂系シート材もしくはエポキシ系ワニス樹脂材 (耐熱温度: 250℃程度) などが用いられる。絶縁層中のビアはレーザ穿孔され、ビアホールにめっき法、もしくは粉末の充填などにより形成される。キャパシタの誘電体膜は、誘電性を示すセラミック粉末に結着樹脂を混合した誘電材料をシート状もしくはパターン状にして回路基板に組み込まれる。

【0007】

また、(3) の樹脂プリント板を用いる場合の他の場合としては、ベース基板上の絶縁層上に受動部品を実装し、その上から、絶縁シートを覆うことにより受動素子を部品レベルで内蔵化するという手法がある。

【0008】

【特許文献1】

特開2001-250885号公報

【0009】

【特許文献2】

特開2000-323845号公報

【0010】

【特許文献3】

特開平11-329803号公報

【0011】

【発明が解決しようとする課題】

しかしながら、上記(1)の薄膜プロセスを使用する回路基板では、スパッタ法やゾルゲル法、CVD法等のいずれの手法により誘電体膜を形成した場合であっても、基板加熱あるいはポストアニールでの温度が最低でも400℃必要である。一方、絶縁層としてポリイミド樹脂を用いる場合、ポリイミド樹脂の耐熱温度は約400℃であるため、回路基板の信頼性を考慮すると基板加熱等の温度を350℃以下にしなければならない。350℃の状態では基板加熱又はポストアニール等を行った場合、誘電体膜の結晶化が進行しないため、誘電特性がバルク材料に比べ大幅に劣るという問題を生ずる。例えば、BT膜ではバルク材料の比誘電率は1500～3000程度であるが、この手法では200程度しか得られない。したがって、キャパシタの静電容量が制限されてしまうという問題がある。

【0012】

ベース基板に耐熱性の高い合金基板やセラミックス基板を用いて、ベース基板上に1層だけ誘電体膜を設け高温で熱処理し、その後樹脂材料よりなる絶縁層を積層する手法も提案されているが、形成することが可能な誘電体膜が1層のみでは、回路基板中に形成できる静電容量が制限されてしまうという問題がある。

【0013】

上記(2)のセラミック基板を用いて受動素子を形成する回路基板については、焼成工程において1000℃以上の高温が必要とされるため高コストであり、加えて焼成工程において絶縁膜、導電膜や受動部品の熱膨張差により短絡、断線、変形により歩留まりが低下し易いという問題もある。

【0014】

上記(3)の樹脂プリント板を用いて受動素子を形成する場合は、この手法では、誘電体膜の誘電率が100以下と低いために、回路基板中に形成可能な静電容量が限られるという問題点がある。

【0015】

さらに、上記（３）の樹脂プリント板を用いて受動素子を形成する他の例としては、この手法では受動素子を組み込むためのキャビティを形成し、キャビティの中に受動素子を実装するために工程が煩雑になると共に、受動素子と配線間の接続に関する高い信頼性を確保することが困難である。また、受動素子が故障した場合に交換等の修復が困難であるという問題点がある。また、絶縁膜等にキャビティを形成しなければならず構造が複雑になり、さらに、回路基板の上層部で層の平坦化を確保し難く、積層する層数が制限されるという問題点がある。

【0016】

そこで、本発明は上記問題点に鑑みてなされたもので、本発明の目的は、受動素子を組み込んだ回路基板において、特性の優れた受動素子が組み込まれた高集積密度化及び小型化が可能な回路基板を提供することである。また、他の目的は、低コストかつ容易な回路基板の製造方法を提供することである。

【0017】

【課題を解決するための手段】

本発明の一観点によれば、当該回路基板中または回路基板上に受動素子及び配線を有する回路基板であって、前記受動素子又は配線がエアロゾルデポジション法により形成されてなる回路基板が提供される。

【0018】

ここで、エアロゾルデポジション法は、本発明において、微粒子材料をキャリアガスによりエアロゾル化させ、ノズルより噴出させて高速で基板に吹き付け、微粒子材料を基材上に堆積させる方法である。

【0019】

本発明によれば、回路基板中、例えば多層積層基板の積層された絶縁層間、または回路基板表面に設けられた受動素子又は配線が微粒子材料を用いたエアロゾルデポジション法により形成されることにより、微粒子材料が基板に堆積する際に微粒子同士の衝突により微粒子の最表面のみが衝撃を受け活性化し、その結果微粒子が相互に結合するので、常温において、微粒子材料が有する誘電特性、導電性等の特性が保持され、優れた特性を有する受動素子又は配線を形成することができる。また、受動素子及び配線の下地を損傷することがないので、本発明の

回路基板は高い信頼性を有する。さらに、常温において受動素子を形成することができるので、多層化が容易であり、したがって、回路基板中に多数の受動素子を形成することができる。その結果、本発明の回路基板は表面に形成する受動素子を低減することができ、能動素子を近接して配置することができるので小型化を図ることができる。なお本発明において常温は300℃以下を意味する。

【0020】

ベース基板と、該ベース基板上に絶縁層を積層されてなり、前記ベース基板及び絶縁層のうち少なくともいずれかが樹脂材料よりなる。エアロゾルデポジション法では高温プロセスを必須としないので、回路基板のベース基板、絶縁層に樹脂材料を用いる。したがって、多層化が容易であるので、受動素子の高密度化を図ることができる。

【0021】

前記微粒子材料はアルミニウム系化合物または鉛系化合物が添加もしくは被覆されてもよい。かかる微粒子材料を用いた場合、厚膜の緻密な膜状形成体を得ることができる。アルミニウム系化合物または鉛系化合物が微粒子材料の結着剤の働きをすると推察される。

【0022】

本発明の他の観点によれば、上記いずれかの回路基板と、電子部品とを備えた電子装置が提供される。

【0023】

本発明によれば、上記の回路基板は受動素子を高密度に内蔵可能であるので、回路基板表面にLSI等の電子部品を高集積化して搭載することができる。したがって、本発明の電子装置は、電子部品間の距離が短くなるので伝送時間を短縮することができ、高速動作が可能となる。

【0024】

本発明のその他の観点によれば、回路基板中または回路基板上に誘電体膜、抵抗体膜、及び導電体膜のうちいずれか1つを有する受動素子または配線を備えた回路基板の製造方法であって、エアロゾル化した微粒子材料をキャリアガスと共に所定の速度で噴射して、前記誘電体膜、抵抗体膜、及び導電体膜のうち少なく

とも1つを形成する成膜工程を備えることを特徴とする回路基板の製造方法が提供される。

【0025】

本発明によれば、微粒子材料に誘電体材料、抵抗体材料、導電体材料を用いて所定の速度で基体に噴射することにより、それぞれ、誘電体膜、抵抗体膜、導電体膜を微粒子材料の特性を損なうことなく形成することができる。かかる成膜工程は常温において行われるので、高温プロセスが必要な従来の成膜工程と比較して、容易で低コストである。さらに微粒子材料が基体に衝突する際に、基体が軟化あるいは熔融等することがないので熱変形などの問題がない。したがって、回路基板および内蔵される素子の設計が容易となる。

【0026】

【発明の実施の形態】

以下、本実施の形態を説明すると共に、本発明に用いられるエアロゾルデポジション法（以下「AD法」と称する。）を用いた成膜装置の説明をする。

【0027】

（第1の実施の形態）

図1は、本発明の実施の形態に係る回路基板の要部断面図である。図1を参照するに、本発明に係る回路基板10は、ベース基板11と、ベース基板11表面に選択的に形成された第1電極層12と、ベース基板11及び第1電極層12を覆う誘電体膜13と、誘電体膜13上に第1の電極層と対向するように形成された第2電極層14などから構成され、第1電極層12と第2電極層により誘電体膜13を挟んでなるキャパシタ15が形成されている。

【0028】

ベース基板11には、エポキシ樹脂、ポリイミド樹脂、ポリエステル樹脂、フッ素系共重合体及びファイバガラス、テフロン（登録商標）等の樹脂材料を用いることができる。もちろん、ベース基板11と第1電極層12との間に絶縁層を設けることにより、ベース基板11にはFe、Ni、Mo、W、Al、Cu、Ag、Au等を含む合金よりなる金属材料も用いることができる。もちろんセラミックス基板でもよい。

【0029】

また、本実施の形態において、ベース基板 11 の替わりに絶縁層であってもよく、絶縁層としては、エポキシ樹脂系絶縁層、ポリイミド樹脂系絶縁層等の有機または無機の絶縁層を用いることができる。

【0030】

本実施の形態の特徴の一つは誘電体膜 13 を AD 法を用いて形成することにある。誘電体膜 13 の材料である Al_2O_3 、 TiO_2 等を成膜することができ、優れた誘電特性を損なうことなく、特に従来は高温での熱処理が必要であったペロブスカイト構造を有する酸化物セラミックス材料について、高温での熱処理を行わなくとも常温において優れた誘電特性を発現させ、その結果、樹脂材料よりなるベース基板 11 や絶縁層を有する回路基板に適用可能とし、キャパシタ 15 を内蔵する回路基板に用いる材料の選択の幅、及び適用可能な用途の幅を著しく拡大するものである。本発明は携帯電話機等の携帯端末におけるコンパクト化の強いニーズに応えることが可能なものである。

【0031】

図 2 は、AD 法を用いた成膜装置の概略構成図である。図 2 を参照するに、AD 膜形成装置 20 は、大略、微粒子材料をエアロゾル化するエアロゾル発生器 21 と、エアロゾル化された微粒子の AD 膜材料を噴射して基板上に AD 膜を形成する成膜室 22 などから構成されている。

【0032】

エアロゾル発生器 21 には、ガスボンベ 23 及びマスフローコントローラ 24 が配管を介して接続されている。ガスボンベ 23 に充填された高圧のアルゴン等のキャリアガスをマスフローコントローラ 24 において制御する。エアロゾル発生器 21 の容器 26 内での微粒子の発塵量や成膜室 22 におけるエアロゾル化された微粒子の噴出量を制御することができる。キャリアガスは、アルゴンガスの他、ヘリウム、ネオン、窒素の不活性ガスを用いることができる。なお、微粒子材料としてペロブスカイト構造を有する酸化物セラミックスを用いる場合は、キャリアガスは酸化性のガス、例えば酸素や空気を用いてもよい。成膜の際に酸化物セラミックス微粒子材料の酸素欠損を補うことができる。

【0033】

また、エアロゾル発生器21には、超音波振動や電磁振動、機械的振動により微粒子を一次粒子化する振動機28が設けられている。一次粒子化により緻密かつ均一なAD膜を形成することができる。

【0034】

成膜室22には、エアロゾル発生器21から配管29を介して接続されたノズル30と、ノズル30と対向して基板11を保持する基板保持台31が設けられ、さらに、基板の位置を制御するXYZステージ32が基板保持台31に連結されている。また、成膜室22内の圧力を低圧とするためのメカニカルブースタ34とロータリポンプ35が接続されている。

【0035】

膜形成材料となる平均粒径が10nm～1μmの微粒子をエアロゾル発生器21に充填して、ガスボンベ23から、例えば19.6Pa～49Pa（2～5kg/cm²）の圧力のアルゴンガスをキャリアガスとして成膜室22に供給し振動機28により加振して、微粒子をエアロゾル化する。エアロゾル化された微粒子はキャリアガス共に、エアロゾル発生器21の容器26内の圧力より低圧に設定されている成膜室22に配管29を通じて搬送される。成膜室22においてノズル30からキャリアガスと共に微粒子が例えば30g/時間の割合で噴射され、ジェット流となって微粒子が図1に示す基板11及び第1電極層12上に堆積し誘電体膜13が形成される。噴射速度は、ノズル30の形状、導入されるキャリアガスの圧力及びエアロゾル発生器21内と成膜室22内との圧力差により制御することができ、3m/秒～400m/秒（好ましくは200m/秒～400m/秒）の範囲に設定される。この範囲に噴射速度を設定することにより、基板11及び第1電極層12との密着強度が高い誘電体膜13を形成することができる。微粒子が基板11及び第1電極層12との衝突の際に、樹脂材料よりなる基板11の表面の汚染層や水分を除去し、また、導電材料よりなる第1電極層12の汚染層や酸化物層を除去して表面を活性化する。また、微粒子自体の表面も微粒子相互の衝突により同様に活性化される。その結果、微粒子が基板11及び第1電極層12の表面に結合し、さらに微粒子同士が結合するので付着強度が高く

緻密な誘電体膜 13 が形成される。なお、噴射速度が 400 m/秒より大となると基板 11 に損傷を与えるおそれがあり、3 m/秒より小さいと十分な付着強度を確保することができない。

【0036】

また、AD法による成膜の際、又は成膜後に誘電体膜を加熱する必要がない。微粒子材料は、基板に堆積する際に微粒子最表面のみが衝突により衝撃を受けて活性化され、微粒子内部には影響が及ばないため、微粒子の有する結晶性が堆積された誘電体膜においても保持されるためであると推察される。

【0037】

AD法を用いて誘電体膜 13 を形成することができる微粒子材料としては、例えば TiO_2 、 MgO 、 SiO_2 、 AlN 、 Al_2O_3 などの酸化物セラミックスが挙げられ、さらに、ペロブスカイト構造を有する酸化物セラミックス、例えば、Pb系の PbTiO_3 、 PbZrO_3 、 $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ($0 \leq x \leq 1$) の一般式で示される PZT、 $(\text{Pb}_{1-y}\text{La}_y)(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ($0 \leq x, y \leq 1$) の一般式で示される PLZT、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、Ba系の BaTiO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Co}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Co}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Ni}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ 、 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 、その他、 ZrSnTiO_4 、 CaTiO_3 、 MgTiO_3 、 SrTiO_3 が挙げられる。

【0038】

さらに微粒子材料には上述した材料からなる微粒子にアルミニウム系化合物または鉛系化合物よりなる微粒子結合剤を添加、あるいは微粒子に被覆してもよい。本願発明者の検討によれば、上述した微粒子材料のみによって誘電体膜 13 を形成するよりも、微粒子結合剤を用いることにより、厚膜、特に $5 \mu\text{m} \sim 1 \text{mm}$ の範囲で緻密な誘電体膜 13 を形成することができることが確認されている。微粒子結合剤の添加量あるいは被覆量は、主剤となる誘電体材料の重量と微粒子結合剤の重量を加えた重量を基準 (100 質量部) として、0.1 質量% ~ 50 質

量% (さらに好ましくは0.1質量%~20質量%) に設定されることが好ましい。

【0039】

アルミニウム系化合物としては、 Al_2O_3 、 LiAlO_2 、 MgAl_2O_4 、 CaAl_2O_4 、 SrAl_2O_4 、 BaAl_2O_4 、 $\text{Y}_3\text{Al}_5\text{O}_{12}$ 、 AlN 、 $\text{Al}_2\text{O}_3 \cdot n\text{H}_2\text{O}$ 、ペーマイト ($\gamma\text{-AlOOH}$)、水酸化アルミニウム ($\text{Al}(\text{OH})_3$)、アルミニウムアルコキシド ($\text{Al}(\text{OR})_3$ (R:アルキル基))、ムライト ($3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$)、スピネル ($\text{MgO} \cdot \text{Al}_2\text{O}_3$)、コージエライト ($2\text{Al}_2\text{O}_3 \cdot 2\text{MgO} \cdot 5\text{SiO}_2$)、アノーサイト ($\text{CaO} \cdot \text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$)、ゲーレンナイト ($2\text{CaO} \cdot \text{Al}_2\text{O}_3 \cdot \text{SiO}_2$) 等が挙げられる。これらのアルミニウム化合物のうち、 Al_2O_3 、ペーマイト ($\gamma\text{-AlOOH}$)、水酸化アルミニウム ($\text{Al}(\text{OH})_3$)、アルミニウムアルコキシド ($\text{Al}(\text{OR})_3$ (R:アルキル基)) が好適である。

【0040】

鉛系化合物としては、 $\text{Pb}_2\text{FeNbO}_6$ 、 $\text{Pb}_2\text{FeTaO}_6$ 、 $\text{Pb}_2\text{YbNbO}_6$ 、 Pb_2YbTO_6 、 $\text{Pb}_2\text{LuNbO}_6$ 、 $\text{Pb}_2\text{LuTaO}_6$ 、 $\text{Pb}_3\text{NiNb}_2\text{O}_9$ 、 $\text{Pb}_3\text{NiTa}_2\text{O}_9$ 、 $\text{Pb}_3\text{ZnNb}_2\text{O}_9$ 、 $\text{Pb}_3\text{Fe}_2\text{WO}_9$ 、 Pb_2CdWO_6 、 PbTiO_3 、 PbZrO_3 、 PbSnO_3 、 PbHfO_3 、 PbO 等が挙げられる。

【0041】

また、微粒子の平均粒径は、 $10\text{nm} \sim 1\mu\text{m}$ の範囲に設定される。 10nm より小さいと基板への密着強度が不足し、 $1\mu\text{m}$ より大きいと連続膜が形成しにくくなり脆弱な膜になってしまう。

【0042】

図3は、AD法により樹脂基板上に誘電体膜を形成した断面TEM写真である。図3を参照するに、誘電体膜は、 TiO_2 誘電体材料に2質量%のアルミニウムアルコキシドを被覆した微粒子を、 200m/s の噴射速度の条件によりガラスエポキシ系FR-4の樹脂基板上に形成したものである。樹脂基板と誘電体膜との界面において、境界領域の厚さが 50nm 程度であり、微粒子が樹脂基板表

面から奥に侵入して樹脂基板に損傷を与えるといった問題がない。さらに、境界面のうねり（山谷高さ）が約 100 nm となっている。したがって、微粒子が樹脂基板に過度の衝撃を与えず、また衝撃による熱の発生も次式板表面に影響を与える程ではないことが分かる。本願発明者は誘電体膜を金属材料及びセラミック材料よりなる導電体膜上に形成した場合もほぼ同等かそれ以下の境界面のうねりが形成されていることを確認している。本実施の形態に係る回路基板を高周波領域において使用する場合、導電体膜表面のうねりが小であるため、高周波における表皮効果による損失を低減することができる。

【0043】

本願発明者の種々の検討の結果、基板と誘電体膜との境界面のうねりは 5 nm ～ 1 μ m の範囲に設定することが好ましく、特に、5 nm ～ 500 nm の範囲に設定することが好ましい。

【0044】

本実施の形態によれば、樹脂材料よりなるベース基板又は絶縁層表面、及び導電材料よりなる第 1 電極層上に、下地に損傷を与えず常温において酸化物セラミックス材料よりなる微粒子材料を用いて誘電体膜を形成することができる。

【0045】

（第 2 の実施の形態）

図 4 は、本実施の形態に係る回路基板の要部断面図である。図 4 を参照するに、本発明に係る回路基板 40 は、絶縁層 41 と、絶縁層 41 表面に選択的に形成された配線層 42 A、42 B と、配線層 42 A、42 B 間に形成された抵抗体膜 43 などから構成され、抵抗体膜 43 により抵抗素子 44 が形成されている。

【0046】

上記抵抗体膜 43 は A D 法により形成される。本実施の形態の特徴は、抵抗体材料である酸化ルテニウム（ RuO_2 ）等の微粒子材料を使用して A D 法を用いて形成することにより、1000℃以上での焼結等の高温プロセスを必要としない酸化物セラミックスの抵抗体膜を形成できることである。高温プロセスを必要としないので寸法精度の良好な、すなわち抵抗値の精度の高い抵抗素子を形成できる。

【0047】

AD法を用いて抵抗体膜43を形成することができる微粒子材料としては、酸化ルテニウム (RuO_2)、酸化レニウム (ReO_2)、酸化イリジウム (IrO_2) などの酸化物セラミックスの他、ペロブスカイト構造を有する酸化物セラミックス、例えば SrVO_3 、 CaVO_3 、 LaTiO_3 、 SrMoO_3 、 CaMoO_3 、 SrCrO_3 、 CaCrO_3 、 LaVO_3 、 GdVO_3 、 SrMnO_3 、 CaMnO_3 、 NiCrO_3 、 BiCrO_3 、 LaCrO_3 、 LnCrO_3 、 SrRuO_3 、 CaRuO_3 、 SrFeO_3 、 BaRuO_3 、 LaMnO_3 、 LnMnO_3 、 LaFeO_3 、 LnFeO_3 、 LaCoO_3 、 LaRhO_3 、 LaNiO_3 、 PbRuO_3 、 $\text{Bi}_2\text{Ru}_2\text{O}_7$ 、 LaTaO_3 、 BiRuO_3 等、さらに、 LaB_6 が挙げられる。なお、第1の実施の形態と同様に、微粒子材料にアルミニウム化合物又は鉛系化合物を添加してもよく、あるいは被覆してもよい。膜厚が $5\mu\text{m} \sim 1\text{mm}$ の厚膜を形成する場合に緻密な抵抗体膜を得ることができる。

【0048】

(第3の実施の形態)

図5は、本実施の形態に係る回路基板の回路基板の要部を示す分解斜視図、図6は、本実施例の要部断面図である。図5及び図6を参照するに、本発明に係る回路基板44は、積層された絶縁層45A～45Dと、絶縁層45A上に形成された導電体膜46と、絶縁層45C中に選択的に形成され螺旋状パターンを有し導電材料よりなるインダクタ素子48と、導電体膜46とインダクタ素子48、またはインダクタ素子48と更に他の導電体膜(図示せず)とを電氣的に接続する配線層47B、47Dなどから構成されている。

【0049】

絶縁層45A～45Dは、第1及び第2の実施の形態と同様に、エポキシ樹脂系絶縁層、ポリイミド樹脂系絶縁層等の有機または無機の絶縁層よりに構成される。

【0050】

インダクタ素子48は、厚さ 200nm の Cu からなる導電材料により構成されている。具体的には、インダクタ素子48は、厚さ $50\text{nm} \sim 50\mu\text{m}$ 、線幅

$5\mu\text{m}\sim 500\mu\text{m}$ 、大きさ $40000\mu\text{m}^2$ から 1mm^2 に設定される。

【0051】

本実施の形態の特徴の一つは、インダクタ素子 48 及び導電体膜 46 が AD 法により形成されていることである。AD 法に用いることができる導電材料としては、Cu の他、Ag、Au、Pt、Pd、Al 又はこれらの元素からなる合金を含む金属材料が挙げられる。また、かかる導電材料の微粒子の平均粒径は $10\text{nm}\sim 1\mu\text{m}$ に設定され、さらになお、第 1 の実施の形態と同様に、微粒子材料にアルミニウム化合物又は鉛系化合物を添加してもよく、あるいは被覆してもよい。また、キャリアガスとしては、アルゴンガス、ヘリウムガス、ネオンガス、窒素ガスなどの不活性ガス、または不活性ガスに水素を添加した混合ガスなどの還元性ガスを用いてもよい。微粒子材料の酸化を防止し、堆積された導電体膜 46 の比抵抗の増加を防止することができる。

【0052】

インダクタ素子 48 は絶縁層 45B 上に形成したレジスト膜をパターニングして、第 1 の実施の形態と同様にして AD 法により上記導電材料の微粒子を堆積させ、次いでレジストをリフトオフして形成される。また、導電体膜 46 は、絶縁層全体を覆うように、または選択的に形成される。

【0053】

本実施の形態によれば、インダクタ素子 48 及び導電体膜 46 を AD 法によりめっき法のような多工程からなる複雑な工程を経ずとも、容易に形成することができる。特に、数 μm の膜厚では、AD 法では成膜速度は $5\mu\text{m}/\text{秒}\sim 50\mu\text{m}/\text{秒}$ であるのでスパッタ法よりプロセス時間が短く、工程時間短縮化を図ることができる。

【0054】

なお、螺旋状のインダクタ素子 19 であるスパイラルインダクタ素子以外には、メアンダインダクタ素子なども用いることができる。また、第 1 の実施の形態において説明した、アルミニウム化合物又は鉛系化合物を微粒子に被覆してもよい。誘電体膜の場合と同様に厚膜化することができる。

【0055】

なお、第1～第3の実施の形態において説明した、誘電体膜、抵抗体膜、及び導電体膜を用いることにより、フィルター、アンテナ等の受動素子を形成することができる。

【0056】

以下、図面に基づいて本発明に係る実施例を説明する。

【0057】

[第1実施例]

図7は、本実施例に係る回路基板を備えた電子装置の概略構成を示す断面図である。図7を参照するに、回路基板50Aは、スルーホール52A及び導電体層52Bが形成された両面銅張り板FR-4基板よりなるベース基板51と、ベース基板51の一方の主面上に形成された絶縁層53-1～53-4と、絶縁層53-1～53-4間に配置された誘電体膜54-1～54-3を下側電極層56-1～56-3と上側電極層58-1～58-3により挟んで形成されたキャパシタ57-1～57-3と、ベース基板51の他方の主面上に形成された、第1電極層66／誘電体膜64／第2電極層68／誘電体膜64が交互に繰り返されて形成されたキャパシタ67と、回路基板50Aの表面に形成された抵抗体膜61を有する抵抗素子62などから構成され、電子装置50は回路基板50Aと、回路基板50Aの表面に搭載されたLSI70とから構成されている。

【0058】

本実施例に係る回路基板を備えた電子装置50では誘電体膜54-1～54-3、64と抵抗体膜61がAD法により形成されていることに主な特徴がある。

【0059】

図8(A)～図9(H)は、本実施例にかかる回路基板の製造工程を示す図である。

【0060】

図8(A)の工程では、ベース基板51として両面銅張り板FR-4基板を用意した。

【0061】

次いで図8(B)の工程では、ベース基板51の両面に、絶縁層53-1、6

3-1 としてのエポキシ樹脂シート（味の素社製 A B F - S H - 9 K（厚さ 5 0 μm ））を接着した。

【0062】

次いで図 8（C）の工程では、図 8（B）の構造体の一方の面に、膜厚 4 0 μm のデスミア保護膜（ニチゴー・モートン社製 N I T 2 1 5）を使用して、密着ロール温度 1 0 5 $^{\circ}\text{C}$ 、線圧 4 k g / c m にて絶縁層 5 3 - 1 表面にラミネートし、全面を覆うデスミア保護膜（図示せず）を得た。

【0063】

図 8（C）の工程ではさらに、デスミア保護膜を介して絶縁層 5 3 - 1 表面に U V - Y A G レーザを使用して 3 m W のエネルギーで照射し、直径約 5 0 μm のビアホールを得た。次いで基板を酸素プラズマ装置にかけ、酸素圧力 0 . 1 5 m P a にて、5 0 0 W の出力で 5 分間処理し、次いで、T M A H 5 % 溶液に浸漬しデスミア保護膜を剥離し、水洗乾燥してビアホール 7 3 を得た。断面観察と表面 S E M 観察により、ビアホール 7 3 は底部残渣が除去されていること、絶縁層 5 3 - 1 表面は成膜当初と同等の表面状態であり凹凸が増大していないことを確認した。

【0064】

図 8（C）の工程ではさらに、ビアホール 7 3 が形成された絶縁層 5 3 - 1 の表面を覆うように無電解めっき法よりなる C u 膜のめっきシード層 7 4 を形成し、さらにめっきシード層 7 4 表面に膜厚 4 0 μm のドライフィルムレジスト（ニチゴー・モートン社製 N I T 2 1 5）をレジスト膜 7 5 として使用し、密着ロール温度 1 0 5 $^{\circ}\text{C}$ 、線圧 4 k g / c m にてラミネートした。次いで配線パターンを全波長使用の平行光紫外線を用いて露光し、炭酸ナトリウム 1 w t % 水溶液を用いてスプレー法により現像し、配線パターンが形成されたレジスト膜 7 5 を得た。

【0065】

次いで図 8（D）の工程では、電解めっき法により下側電極層 5 6 - 1 を形成した。次いで、レジスト膜 7 5 を剥離後、下側電極層 5 6 - 1 以外のめっきシード層の部分をパネルエッチングにより除去した。エッチング液としては過酸化水

素水と硫酸の混合液を用いた。

【0066】

次いで図9（E）の工程では、図8（D）の構造体の表面を覆うように、AD法により、アルミニウムアルコキシドの一種であるアルミニウムイソプロポキシドにより表面処理を行い、さらに大気中において1000℃で焼成し得られた Al_2O_3 膜を被覆（以下、「アルミナコート処理」と称する。）した平均粒径0.3 μm の TiO_2 微粒子材料（テイカ社製）を用いて6分間成膜し、厚さ10 μm の Al_2O_3 含有 TiO_2 膜54-1を形成した。 TiO_2 微粒子材料と Al_2O_3 膜の質量比を95：5とした。

【0067】

次いで図9（F）の工程では、 TiO_2 膜54-1の表面を覆うようにめっきシード層76を形成した後、表面に膜厚40 μm のドライフィルムレジスト（ニチゴー・モートン社製NIT215）を使用し、密着ロール温度105℃、線圧4kg/cmにてラミネートし、レジスト膜78を形成した。次いで配線パターンを全波長使用の平行光紫外線を用いて露光し、炭酸ナトリウム1wt%水溶液を用いてスプレー法により現像し、配線パターンが形成されたレジスト膜78を得た。

【0068】

次いで図9（G）の工程では、電解めっき法にてCu膜の上側電極層58-1を形成した。次いでレジスト膜78を剥離後、めっきシード層76をパネルエッチングにより除去した（図中、上側電極層58-1下部のめっきシード層76を省略する）。

【0069】

次いで図9（H）の工程では、図9（G）の構造体の表面に絶縁層53-2としてのエポキシ樹脂シート（味の素社製ABF-SH-9K（厚さ50 μm ））を接着した。

【0070】

図7に戻り、同様のプロセスにて絶縁層53-1～53-4と誘電体膜54-11～54-3とがそれぞれ交互に積層された多層構造を形成した。なお、各下

側及び上側電極層 56, 58 間にはビアなどの配線 59 が形成されている。

【0071】

また、ベース基板 51 の他方の主面上に形成された絶縁層 63-1 上に、無電解めっき法によるめっきシード層（図示せず）と電解メッキ法による第 1 電極層 66 を形成した。次いで第 1 電極層 66 上に、上記誘電体膜 54-1 と同様の微粒子材料を用いて AD 法により膜厚 $3\mu\text{m}$ の誘電体膜 64 形成した。次いで第 1 電極層と同様にして第 2 電極層 68 を形成し、さらに誘電体膜 64 を形成した。さらに第 1 電極層 66 / 誘電体膜 54-1 / 第 2 電極層 68 / 誘電体膜 54-1 / 第 1 電極層 66 を形成し、第 1 電極層 66 同士、または第 2 電極層 68 同士を接続するビア 69A、69B を形成し大容量のキャパシタ 67 を形成した。

【0072】

さらに回路基板 50A の表面にドライフィルムレジストをレジスト膜としてラミネートした後、抵抗パターンを露光・現像してパターンニングして、AD 法により平均粒径 $0.01\mu\text{m}$ の RuO_2 粉末（高純度化学研究所社製）を用いて 30 分間成膜し、電極 60 間に厚さ $50\mu\text{m}$ の抵抗膜 61 を形成した。次いでレジスト膜を剥離し抵抗素子 62 を形成した。

【0073】

さらに、回路基板 50A の表面には電極 79 を形成する。次いで真空積層プレスにより回路基板 50A の構造体全体を一体化・貼り合わせた。具体的には 60Torr 以下の圧力で、温度 180°C の状態で 70 分間に亘り線圧 30kg/cm の条件を用いた。これを断面観察により確認したところ良好な多層からなる回路基板を得た。さらに、表面のオーバーコート層をスクリーン印刷とフォトリソ法を併用して形成した。次いで、回路基板 50A の表面に LSI 70 等の電子部品を半田付けした。以上により、図 7 に示す第 1 実施例に係る回路基板及び電子装置が形成された。

【0074】

本実施例によれば、キャパシタ 57-1 ~ 57-3、67 を絶縁層間に形成することにより多層化が容易であり、また、大容量のキャパシタを形成することができる。したがって、回路基板 50A の表面に実装されるキャパシタの数を低減

し、LSI70等の能動素子の実装可能な数を増加すると共に回路基板を小型化することができる。ひいては、能動素子間を近接することにより電子装置の動作速度の高速化することができる。

【0075】

[第2実施例]

本実施例は、第1実施例の誘電体膜54-1～54-3、64を、アルミナコート処理を行った平均粒径0.1 μ mのBaTiO₃微粒子材料（堺化学社製）を用いて、AD法により6分間成膜し、厚さ10 μ mのAl₂O₃含有BaTiO₃膜を形成した以外は同様である。

【0076】

[第3実施例]

本実施例は、第1実施例の誘電体膜54-1～54-3、64を、平均粒径0.2 μ mのAl₂O₃微粒子材料（高純度化学研究所社製）を用いて、AD法により6分間成膜し、厚さ10 μ mのAl₂O₃膜54-1を形成した以外は同様である。

【0077】

[第4実施例]

本実施例は、第1実施例の誘電体膜54-1～54-3、64を、平均粒径0.3 μ mのTiO₂微粒子材料（テイカ社製）を用いて、AD法により6分間成膜し、厚さ10 μ mのTiO₂膜54-1を形成した以外は同様である。

【0078】

[第5実施例]

本実施例に係る回路基板は、樹脂材料よりなる絶縁層を積層したベース基板中にキャパシタを有し、キャパシタがAD法を用いて形成された誘電体膜よりなり、回路基板表面の抵抗素子がAD法を用いて形成された抵抗体膜を有するものである。

【0079】

図10は、本実施例に係る回路基板を備えた電子装置80の概略構成を示す断面図である。図10を参照するに、回路基板80Aは、キャパシタ87が形成さ

れた絶縁層 81-1~81-4 とプリプレグ 85-1~85-4 が交互に積層され、スルーホール 86 によりキャパシタ 87 が並列に接続されたベース基板 80 B と、ベース基板 80 B 上に形成された絶縁層 53-1~53-4 と、回路基板 80 A 表面に形成された抵抗素子 92 などから構成されている。さらに電子装置 80 は回路基板 80 A と、回路基板 80 A の表面に搭載された L S I 70 とから構成されている。

【0080】

キャパシタ 87 は、絶縁層 81-1~81-4 上に選択的に形成された下側電極層 82-1~82-4 と、絶縁層 81-1~81-4 及び下側電極層 82-1~82-4 を覆う誘電体膜 83-1~83-4 と、誘電体膜 83-1~83-4 上に下側電極層 82-1~82-4 に対向して形成された上側電極層 84-1~84-4 とから構成されている。また、抵抗素子 92 は抵抗体膜 93 と、抵抗体膜 93 の両端に形成された電極 60 とから構成されている。

【0081】

以下、回路基板 80 A の製造方法を説明する。まず、絶縁層 81 及び下側電極層 82 用の導電層が形成された片面銅張り板 F R - 4 基板を用意し、基板表面の銅膜をエッチングして下側電極層 82 を形成した。

【0082】

次いで、アルミナコート処理を行った平均粒径 0.3 μm の B a T i O₃ 粉末（堺化学社製）を用いて、A D 法により 6 分間成膜し、絶縁層 81 及び下側電極層 82 を覆う厚さ 10 μm の A l₂O₃ 含有 B a T i O₃ 膜 83 を形成した。

【0083】

次いで、誘電体膜 83 上に第 1 実施例において説明した方法と同様の方法で下側電極層 82 に対向する上側電極層 84 を形成した。以上によりキャパシタ 87 が形成された。

【0084】

キャパシタ 87 が形成された絶縁層 81 を 4 枚用意し、絶縁層 81 間にプレプリグ 85 を配置し、加熱温度 80℃、線圧 4 k g / c m にてラミネートして密着させ、ドリル穿孔および電気めっき法等によりスルーホールを形成した。以上に

より大容量のキャパシタ 87 を内蔵するビルドアップ基板用のベース基板が形成された。

【0085】

次いで、ベース基板の両側に絶縁層 53-1 ~ 53-4 としてのエポキシ樹脂シート（味の素社製 ABF-SH-9K（厚さ 50 μm ））を接着し、配線 89 ~ 91 及び回路基板 80A 表面に電極 79 を形成した。次いで、回路基板 80A の表面に LSI 70 等の電子部品を半田付けした。以上により、図 10 に示す本実施例に係る回路基板 80A を備えた電子装置 80 が形成された。

【0086】

本実施例によれば、ベース基板 80B 中に大容量のキャパシタを形成することができる。また、ベース基板 80B 上にもキャパシタを形成することができるので、第 1 ~ 第 4 実施例と比較して、回路基板の単位面積当たりの静電容量、いわゆる静電容量密度を増加することができる。さらに、第 1 ~ 第 4 実施例と比較して、ベース基板 80B 上に形成される配線の自由度を高めることができる。

【0087】

[第 6 実施例]

本実施例に係る回路基板は、ポリイミド樹脂からなる絶縁層が積層されたフレキシブル基板に係るものであり、絶縁層間に形成されたキャパシタが AD 法により形成された誘電体膜を有し、回路基板表面に形成された抵抗素子が AD 法により形成された抵抗体膜を有するものである。

【0088】

図 11 は、本実施例に係る回路基板を備えた電子装置 100 の概略構成を示す断面図である。図 11 を参照するに、回路基板 100A は、ポリイミド樹脂よりなる絶縁層 101-1 ~ 101-4 間あるいは絶縁層 111-1 ~ 111-2 間に形成されたキャパシタ 105、115 と、回路基板 100A 表面に形成された抵抗素子 108 などから構成されている。電子装置 100 は回路基板 100A と、回路基板 100A の表面に搭載された LSI 70 などから構成されている。

【0089】

キャパシタ 105 は、絶縁層 101-1 ~ 101-3 を覆うようにまたは選択

的に形成された下側電極層 102-1~102-3 と、絶縁層 101-1~101-3 及び下側電極層 102-1~102-3 を覆う誘電体膜 103-1~103-3 と、誘電体膜上に選択的に形成された上側電極層 104-1~104-3 より構成され、ビア 106 により電氣的に接続されている。

【0090】

また、キャパシタ 115 は、絶縁層 111-1 を覆うようにまたは選択的に形成された下側電極層 112 と、絶縁層 111 及び下側電極層 112 を覆う誘電体膜 113 と、誘電体膜 113 上に選択的に形成された上側電極層 114 より構成され、ビア 116 等により他の配線に電氣的に接続されている。

【0091】

また、抵抗素子 108 は抵抗体膜 109 と、抵抗体膜 109 の両端に形成された電極 60 とから構成されている。

【0092】

本実施例に係る回路基板 100A を備えた電子装置 100 は、絶縁層がポリイミド樹脂により形成され、誘電体膜 103-1~103-3、113 及び抵抗体膜 109 が AD 法により形成された酸化物セラミックス膜からなることに主な特徴がある。

【0093】

以下、回路基板 100A の製造方法を説明する。図 12 (A) ~ (C) は第 6 実施例に係る回路基板の製造工程の一部を示す図である。

【0094】

図 12 (A) の工程では、パイレックス (登録商標) ガラスのプロセス用基板 PS を用い、プロセス用基板 PS 表面に非感光性のポリイミド樹脂膜 111-1 をスピンコート法により約 $10\mu\text{m}$ の厚さで形成する。なお、塗布方法としては、スピンコート法の替わりにスクリーン印刷法、スプレー法、カーテンコート法、ロールコート法、ディップ法を用いてもよい。

【0095】

図 12 (A) の工程ではさらに、プロセス用基板上に形成されたポリイミド樹脂膜を温度 80°C 、30 分間の乾燥を行った後、 350°C の状態で 30 分間加熱



して硬化させ絶縁層 111-1 を形成した。次いで、CMP（化学機械研磨）法によりこの絶縁層 111-1 を研磨・平坦化した。

【0096】

図 12（A）の工程ではさらに、絶縁層 111-1 表面にメッキシード層 112A を形成した。具体的には、絶縁層 111 表面にスパッタ法により厚さ 200 nm のメッキシード層 112A を形成した。なお、スパッタ法の替わりに過マンガン酸液にて絶縁層表面を粗面化しさらに触媒処理した後、無電解めっき法によりメッキシード層を形成してもよい。次いで、電解メッキ法によりメッキシード層 112A の表面に厚さ約 5 μ m の Cu 膜 112B を形成し、下側電極層 102 を形成した。

【0097】

図 12（A）の工程ではさらに、下側電極層 112 上に、アルミナコート処理を行った平均粒径 0.1 μ m の BaSrTiO₃ 粉末（高純度化学研究所社製）を用いて、AD 法により 6 分間成膜し、厚さ 10 μ m の Al₂O₃ 含有 BaSrTiO₃ 膜 113 を形成した。

【0098】

次いで図 12（B）の工程では、誘電体膜 113 上にスパッタ法で Cr/Cu よりなる積層導電体（図示せず）を成膜し、その上に電解めっき法により Cu 膜よりなる厚さ約 5 μ m の上側電極層 114 を形成した。さらに、上側電極層 114 の表面に厚さ約 10 μ m のレジスト膜 118 を塗布し、ガラスマスクを重ねて水銀ランプにて 400 mJ/cm² の露光を行い、アルカリを含む現像液にて露光部分を溶解除去する。

【0099】

次いで図 12（C）の工程では、レジスト膜 118 をマスクとして、上側電極層 114 のエッチングを行ない、パターン化された上側電極層 114 を形成した。以上により下側電極層 112 と上側電極層 114 とに挟まれた誘電体膜 113 からなるキャパシタ 115 が形成された。次いで絶縁層 111-2 ～ 115 を形成した。さらに、同様の方法により、AD 法により形成した誘電膜 103-1 ～ 103-3 を有するキャパシタ 105 を同様にして形成した。

【0100】

また、誘電体膜103中のビア107は、誘電体膜103上にレジスト膜を形成し、レジスト膜をパターニングして、フッ化水素酸等により誘電体膜103をエッチングしてビアホール（図示せず）を形成し、さらに、上述した無電解めっき法によるメッキシード層、及び電解メッキ法によりメッキシード層上にめっき膜を成長させて形成した。なお、誘電体膜103上に上側電極層104および絶縁層101を形成後に、これらの層を貫通して誘電体膜を露出させるビアホールを予め形成し、次いで誘電体膜104をエッチングしてもよい。以上により形成された回路基板をパイレックス（登録商標）ガラスから剥離してフィルム化した。

【0101】

さらに、回路基板100A表面にレジスト膜をパターニングし、抵抗膜109をAD法により形成した。具体的には、平均粒径 $0.01\mu\text{m}$ の SrRuO_3 （高純度化学研究所社製）微粒子を用いて、AD法により30分間成膜し、厚さ $50\mu\text{m}$ の SrRuO_3 膜を形成した。さらに、LSI70等の電子部品を半田付けした。以上により、図11に示す本実施例に係る回路基板100Aを備えた電子装置100が形成された。

【0102】

本実施例によれば、従来のようにプロセス基板PSの直上にキャパシタ115を形成できるだけでなく、ポリイミド樹脂からなる積層された絶縁層101-1～101-4間にキャパシタ105を形成することが可能である。したがって、従来と比較して大容量のキャパシタを形成することができる。

【0103】

[第7実施例]

本実施例は、第6実施例の誘電体膜103-1～103-3、113を、平均粒径 $0.3\mu\text{m}$ のアルミナコート処理を行った $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 微粒子材料（高純度化学研究所社製）を用いて、AD法により6分間成膜し、厚さ $10\mu\text{m}$ の Al_2O_3 含有 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 膜を形成した以外は同様である。

【0104】

〔第 8 実施例〕

本実施例に係る回路基板は、Si 基板上に感光性ポリイミド樹脂からなる絶縁層が積層され、絶縁層間に形成されたキャパシタが AD 法により選択的に形成された誘電体膜を有し、回路基板表面の抵抗素子が AD 法を用いて形成された抵抗体膜を有するものである

図 13 は、本実施例に係る回路基板を備えた電子装置 120 の概略構成を示す断面図である。図 13 を参照するに、回路基板 120A は、感光性ポリイミド樹脂よりなる絶縁層 125-1～125-4 と、絶縁層 125-4、125-5 中に選択的に形成された誘電体膜 131、134 を有するキャパシタ 137 と、ベース基板上に形成されたキャパシタ 127 と、回路基板 120A 表面に形成された抵抗素子 136 などから構成されている。また、電子装置 120 は回路基板 120A と、回路基板 120A の表面に搭載された LSI 70 などから構成されている。

【0105】

キャパシタ 137 は、絶縁層 125-3 上に形成に選択的に形成された導電層 130 と、導電層 130 上に形成された誘電体膜 131 と、誘電体膜を埋め込む絶縁層 125-4 及び誘電体膜上に形成された導電層 132 と、さらに導電層 132 上に選択的に形成された誘電体膜 134 と、誘電体膜 134 を埋め込む絶縁層 125-5 及び誘電体膜上に選択的に形成された導電層 135 より形成されている。キャパシタ 137 は、AD 法により形成された誘電体膜 131、134 がべた膜ではなく、選択的に形成されていることに特徴がある。このような誘電体膜は、AD 法による成膜の際にパターニングされたレジスト膜をマスクとして使用することにより形成することができる。AD 法により微粒子を堆積する際に、微粒子がレジスト膜表面に衝突しても、レジスト膜を溶融させることはなく、マスクのパターンが変形することがない。

【0106】

以下、回路基板 120A の製造方法を説明する。まず Si 基板 121 上にキャパシタ 127 を、第 6 実施例に説明した方法と同様の方法により形成した。

【0107】

絶縁層 125-1~125-6 は、絶縁性の感光性ポリイミド樹脂により形成した。具体的には、スピンコート法により厚さ約 $30\text{ }\mu\text{m}$ の絶縁性の感光性ポリイミド樹脂（東レ社製商品名 VR5100）を塗布し、温度 80°C で 30 分間乾燥した。絶縁層 125-5 中にビア 139 を形成する場合は、この時点で、絶縁層 125-5 を露光・現像してパターンニングし、ビアホールを形成した。次いで 350°C 30 分間加熱して樹脂を硬化させ絶縁層 125-1~125-3 を形成した。ビアホールは無電解めっき法によりめっきシード層を形成しさらに電解めっき法により Cu 膜により充填しビア 139 を形成した。

【0108】

誘電体膜 131、137 は、平均粒径 $0.1\text{ }\mu\text{m}$ のアルミナコート処理を行った BaTi_4O_9 微粒子材料（高純度化学研究所社製）を用いて、パターンニングされたレジスト膜をマスクとして AD 法により 6 分間成膜し、厚さ $10\text{ }\mu\text{m}$ の Al_2O_3 含有 BaTi_4O_9 膜を形成した。

【0109】

また回路基板 120A の表面にドライフィルムレジストをレジスト膜としてラミネートした後、抵抗パターンを露光・現像してパターンニングして、AD 法により平均粒径 $0.01\text{ }\mu\text{m}$ の BiRuO_3 粉末（高純度化学研究所社製）を用いて 30 分間成膜し、電極 60 間に厚さ $50\text{ }\mu\text{m}$ の抵抗膜 138 を形成した。次いでレジスト膜を剥離し抵抗素子 136 を形成した。

【0110】

本実施例によれば、感光性ポリイミド樹脂よりなる絶縁層 125-1~125-4 にも AD 法により誘電体膜 131、134 及び抵抗膜 138 を形成することができる。

【0111】

[第 9 実施例]

本実施例は、第 8 実施例の誘電体膜 123、131、134 を、平均粒径 $0.1\text{ }\mu\text{m}$ のアルミナコート処理を行った BaSrTiO_3 （高純度化学研究所社製）微粒子材料を用いて AD 法により 6 分間成膜し、厚さ $10\text{ }\mu\text{m}$ の BaSrTiO_3 膜を形成した以外は同様である。

【0112】

[第10実施例]

本実施例は、第8実施例の誘電体膜123、131、134を、平均粒径0.1 μm のBaSrTiO₃微粒子材料及びPbZrTiO₃微粒子材料（以上高純度化学研究所社製）を質量比でBaSrTiO₃微粒子材料:PbZrTiO₃微粒子材料=93:7に混合して、AD法により6分間成膜し、厚さ10 μm のBaSrTiO₃及びPbZrTiO₃混合膜を形成した以外は同様である。

【0113】

[第11実施例]

本実施例に係る回路基板は、電子装置の筐体をベース基板としたものである。本実施例では、エポキシ系樹脂コートマグネシウムよりなる筐体を用いた。

【0114】

図14は、本実施例に係る回路基板を備えた電子装置の概略構成を示す断面図である。

【0115】

図14を参照するに、回路基板140Aは、電子装置の筐体であるベース基板141と、ベース基板141上に形成されたキャパシタ147と、ベース基板141及びキャパシタ147を覆う絶縁層145と、回路基板140A表面に形成された抵抗素子148などから構成されている。電子装置140は、回路基板140Aと、回路基板140A表面に搭載されたLSI70などから構成されている。

【0116】

以下、回路基板140Aの製造方法を説明する。まず、ベース基板上にパターンニングしたメタルマスクを設置し、スパッタ法を用いてめっきシード層（図示せず）としてのCr/Cu膜を順次形成した。次いで、めっきシード層上に電解めっき法によりCu膜を成長させて下側電極層142を形成した。

【0117】

次いで、レジスト膜をベース基板141及び下側電極層142を形成してパターンニングしてマスクとした。このマスクを用いて誘電体膜143を、平均粒径0

． 3 μm のアルミナコート処理を行った TiO_2 微粒子材料を用いて、AD法により 6 分間成膜し、厚さ 10 μm の Al_2O_3 含有 TiO_2 膜を形成した。次いで電解めっき法等により上側電極層 144 を形成し、絶縁層 145 としてエポキシ樹脂シート（味の素社製 ABF-SH-9K（厚さ 50 μm ））を接着した。

【0118】

次いで、レーザ加工によりビア孔 146A を形成し、ビア金属充填を無電解銅めっきで行い、ビア 146 を形成した。さらに回路基板 140A 表面にメタルマスクを用いて Cr/Cu 膜をスパッタ法により形成した後、無電解めっきで銅配線をパターンニングした。さらに、メタルマスクを設置しマスク開口部に。AD法により平均粒径 0.01 μm の Ta_2O_5 微粒子材料（高純度化学研究所社製）を用いて 30 分間成膜し、電極 60 間に厚さ 50 μm の抵抗膜 149 を形成した。次いでレジスト膜を剥離し抵抗素子 148 を形成した。

【0119】

本実施によれば、AD法により形成された誘電体膜 143 は電子装置の筐体であるベース基板 141 を損傷させることなく、かつ高い付着強度を有するので、信頼性の高い回路を形成することができる。さらに、筐体上に回路基板 140A 及び電子部品を備えた電子装置 140 を形成することが可能であるので、一層の電子装置の小型化を図ることができる。

【0120】

なお、抵抗膜 149 は回路基板 140A 表面に形成したが、ベース基板 141 上に形成してもよい。さらに小型化、高集積化を図ることができる。

【0121】

[第12実施例]

本実施例は、第11実施例の誘電体膜 149 を、平均粒径 0.1 μm の NiCr 微粒子材料（第12-1実施例）、Ta-N 粒子材料（第12-2実施例）、Ru 微粒子材料（第12-3実施例）、Ir 微粒子材料（第12-4実施例）、IrO₂ 微粒子材料（第12-5実施例）（以上、高純度化学研究所社製）を用いて、AD法により 6 分間成膜し、厚さ 10 μm 抵抗膜を形成した以外は同様である。

【0122】

[第1比較例]

図15は、本比較例に係る回路基板を備えた電子装置の概略構成を示す断面図である。図15を参照するに、本比較例に係る回路基板150Aは、Si基板151上にキャパシタ157が形成され、さらに回路基板150A表面にチップキャパシタ156が形成されている。

【0123】

キャパシタ157はFR-4基板151上に形成された下側電極層152と、下側電極層152上に形成された誘電体膜153と、誘電体膜上に形成された上側電極層から構成されている。誘電体膜としてスパッタ法により膜厚5 μ mのBST ($(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$) 膜を形成した。

【0124】

絶縁層155としては、スピンコート法を用いて非感光性のポリイミド樹脂からなる絶縁層を約10 μ m形成した。ついで、温度80℃、30分の乾燥を行い、ついで350℃30分加熱して樹脂を硬化させた。

【0125】

また、回路基板150A表面にはSMDコンデンサであるチップキャパシタ156を形成し、さらに、LSI70等を搭載した。

【0126】

[第2比較例]

図16は、本比較例に係る回路基板を備えた電子装置の概略構成を示す断面図である。図16を参照するに、本比較例に係る回路基板160Aは、絶縁層162-1～162-4間に設けられたキャパシタ167の誘電体膜164-1～164-3が酸化物セラミックスとエポキシ樹脂の混合物よりなる点及び回路基板160A表面にチップキャパシタ166が設けられている点を除いては、第1実施例に係る回路基板と同様である。

【0127】

具体的には、誘電体膜164-1～164-3が平均粒径0.1 μ mのBaTiO₃微粒子材料（堺化学製）とエポキシ樹脂とからなる流動体を塗布し、約1

00℃で熱硬化させて形成した。

【0128】

また、本比較例の回路基板160Aは、ベース基板161として両面銅張り板FR-4基板が用いられ、絶縁層164-1～164-4はエポキシ樹脂シート（味の素社製ABF-SH-9K（厚さ50 μ m））が用いられている。したがって、ベース基板161及び絶縁層164-1～164-4の耐熱性を考慮すると、加熱温度が350℃以下に制限されるため、誘電体膜に酸化物セラミックスペースト等を用いても、十分な誘電特性を得ることは困難であった。

【0129】

（誘電体膜の評価）

図17は、実施例及び比較例に係る回路基板に形成された誘電体膜の特性を示す図である。図17を参照するに、第2、第5、第6、第9及び第10実施例に係る回路基板の誘電体膜は比誘電率が1500～3000であり、バルク材料とほぼ同等の比誘電率を有する誘電体膜が得られることが分かる。また、第1、第3、第4、第7、及び第8実施例に係る回路基板の誘電体膜は比誘電率は低いものの、多層に亘って誘電体膜を形成することができるので、静電容量密度の観点からは比較例に係る回路基板より大きいことが分かる。

【0130】

一方、第1及び第2比較例に係る回路基板の誘電体膜は、成膜後の熱処理温度（ポストアニール処理の温度）に制限があるため、比誘電率が低くなっていることが分かる。

【0131】

また、第1実施例と第6実施例とを比較するとベース基板にキャパシタを形成した第6実施例が、キャパシタをより多く形成することができるので静電容量密度が大となっていることが分かる。さらに、第3実施例の回路基板の誘電体膜に用いられる Al_2O_3 膜は比誘電率が低い。しかし、図中には記載されていないが高周波における誘電損失が低く高周波回路用に適している。

【0132】

なお、比誘電率は実施例及び比較例と同様の条件を用いてキャパシタを形成し

、周波数 1 GHz の高周波電圧を印加して測定した。また、静電容量密度は、各実施例及び比較例において、層状に形成されているキャパシタの静電容量の総和を求め、回路基板の面積で除したものであり、単位面積あたりの静電容量を表すものである。

【0133】

(抵抗体膜の評価)

図 18 は、実施例及び比較例に係る回路基板に形成された抵抗体膜の特性を示す図である。図 18 を参照するに、第 1 ～ 第 12-5 実施例の抵抗体膜の比抵抗値から、種々の抵抗値を有する抵抗素子を形成できることが分かる。特に AD 法ではマスクを用いることにより、抵抗体膜の形状・寸法を自由に選択することができ、さらに高温プロセスに曝されないので、寸法精度が高い。なお、比抵抗は四端子法を用いて測定した。

【0134】

(受動部品の実装数の評価)

図 19 は、実施例及び比較例に係る回路基板の面積の比較及び回路基板表面に必要な受動部品の実装数を示した図である。図 19 は第 2 比較例に係る回路基板の基板表面の受動部品の個数を 20、基板面積を 1 として、第 2 比較例に対し実施例及び比較例の相対値を示したものである。

【0135】

図 19 を参照するに、基板表面の受動部品の個数については、第 1、5、6、8 及び 11 実施例に係る回路基板は、第 1 比較例及び第 2 比較例に係る回路基板が 15 ～ 20 に対して 3 ～ 10 となっている。かかる実施例の誘電体膜の比誘電率が高く、かつキャパシタが回路基板中に形成されている。したがって、基板表面に必要なキャパシタを低減することができる。

【0136】

また、基板面積は所定数の LSI 等の能動素子を実装するために必要な基板面積を第 2 比較例に係る回路基板の面積を 1 として相対的に導いたものである。第 1、5、6、8 及び 11 実施例に係る回路基板は、第 1 及び第 2 比較例に対し小となっている。すなわち、かかる実施例に係る回路基板では、回路基板表面に実

装する受動素子数を低減することができるので、回路基板面積を低減することができる。すなわち電子装置の小型化を図ることができる。さらに、能動素子間をより近接することが可能となるので、電子装置の動作速度を向上することができる。

【0137】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内において、種々の変形・変更が可能である。

【0138】

例えば、上記実施例は互いに組み合わせることができ、また、一の回路基板に異なる微粒子材料を用いて誘電体膜等を形成してもよい。上記実施例では回路基板表面にLSIを搭載した場合を例に説明したが、発熱による温度上昇等の問題がない範囲で能動素子を回路基板中に設けてもよい。

【0139】

また、本発明は、回路基板のみならず、単体の受動部品、例えば積層セラミックチップコンデンサ、チップ抵抗器、積層チップセラミックコイル等の受動部品に適用することができる。上述した本発明の回路基板と同様にして形成し所望の形状・寸法に切断して電極等をさらに設ければよい。

【0140】

なお、以上の説明に関して更に以下の付記を開示する。

(付記1) 当該回路基板中または回路基板上に受動素子及び配線を有する回路基板であって、

前記受動素子又は配線がエアロゾルデポジション法により形成されてなることを特徴とする回路基板。

(付記2) 前記受動素子がエアロゾルデポジション法により形成された誘電体膜、抵抗体膜、及び導電体膜のうち少なくとも1つを有することを特徴とする付記1記載の回路基板。

(付記3) ベース基板と、該ベース基板上に絶縁層を積層されてなり、

前記ベース基板及び絶縁層のうち少なくともいずれかが樹脂材料よりなること

を特徴とする付記 1 または 2 記載の回路基板。

(付記 4) 前記樹脂材料は、エポキシ樹脂、ポリイミド樹脂、ポリエステル樹脂、フッ素系共重合体及びファイバガラスの群のうち、少なくとも一つを含むことを特徴とする付記 3 記載の回路基板。

(付記 5) 前記誘電体膜及び抵抗体膜は酸化物セラミックスよりなることを特徴とする付記 2～4 のうち、いずれか一項記載の回路基板。

(付記 6) 前記誘電体膜及び抵抗体膜はペロブスカイト構造を有する酸化物セラミックスよりなることを特徴とする付記 5 記載の回路基板。

(付記 7) 前記導電体膜は Ag、Au、Pt、Pd、Cu、及び Al の群のうちいずれか 1 つを含むことを特徴とする付記 4 または 5 記載の回路基板。

(付記 8) 前記エアロゾルデポジション法に用いられる微粒子材料はアルミニウム系化合物または鉛系化合物が添加もしくは被覆されていることを特徴とする付記 1～7 のうち、いずれか一項記載の回路基板。

(付記 9) 前記微粒子の平均粒径は 10 nm～1 μ m の範囲に設定されることを特徴とする付記 1～8 のうち、いずれか一項記載の回路基板。

(付記 10) ベース基板と、

前記ベース基板上に形成された絶縁層と、

前記絶縁層上に選択的に形成された第 1 の電極層と、少なくとも前記第 1 の電極層を覆う誘電体膜と、前記誘電膜上に第 1 の電極層と対向して形成された第 2 の電極層よりなるキャパシタとを有し、

前記ベース基板及び絶縁層のうち少なくとも一つが樹脂材料よりなり、前記誘電体膜が微粒子材料を用いたエアロゾルデポジション法により形成されてなることを特徴とする回路基板。

(付記 11) 付記 1～10 のうちいずれか一項記載の回路基板と、電子部品とを備えた電子装置。

(付記 12) 回路基板中または回路基板上に誘電体膜、抵抗体膜、及び導電体膜のうちいずれか 1 つを有する受動素子または配線を備えた回路基板の製造方法であって、

エアロゾル化した微粒子材料をキャリアガスと共に所定の速度で噴射して、前

記誘電体膜、抵抗体膜、及び導電体膜のうち少なくとも1つを形成する成膜工程を備えることを特徴とする回路基板の製造方法。

(付記13) 前記回路基板は、ベース基板と、該ベース基板上に積層された絶縁層とを有し、

前記ベース基板及び絶縁層のうち少なくともいずれかが樹脂材料よりなることを特徴とする付記15記載の回路基板の製造方法。

(付記14) 前記所定の速度は $3\text{ m/s} \sim 400\text{ m/秒}$ の範囲に設定されることを特徴とする付記12または13記載の回路基板の製造方法。

(付記15) 前記キャリアガスは、ヘリウム、ネオン、アルゴン、及び窒素のうちいずれか一つのガスを含むことを特徴とする付記12～14のうち、いずれか一項記載の回路基板の製造方法。

(付記16) 微粒子の平均粒径は $10\text{ nm} \sim 1\text{ }\mu\text{ m}$ の範囲に設定されることを特徴とする付記12～15のうち、いずれか一項記載の回路基板の製造方法。

(付記17) 前記樹脂材料は、エポキシ樹脂、ポリイミド樹脂、ポリエステル樹脂、フッ素系共重合体及びファイバガラスの群のうち、すくなくとも一つを含むことを特徴とする付記12～16のうち、いずれか一項記載の回路基板の製造方法。

(付記18) 前記成膜工程の後に成膜された前記誘電体膜、抵抗体膜、及び導電体膜の表面を平坦化する平坦化工程を備えることを特徴とする付記12～17のうち、いずれか一項記載の回路基板の製造方法。

【0141】

【発明の効果】

以上詳述したところから明らかなように、本発明によれば、AD法により微粒子材料を用いて常温において誘電体膜、抵抗体膜、及び導電体膜を形成することにより、特性の優れた受動素子を回路基板中あるいは回路基板表面に形成することができ、高集積密度化及び小型化が可能な回路基板を実現することができる。また、常温において所望の特性が得られるので低コストかつ容易な回路基板の製造方法を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る回路基板の要部断面図である。

【図 2】

A D 法を用いた成膜装置の概略構成図である。

【図 3】

A D 法により樹脂基板上に誘電体膜を形成した断面 T E M 写真である。

【図 4】

本発明の第 2 の実施の形態に係る回路基板の要部断面図である。

【図 5】

本発明の第 3 の実施の形態に係る回路基板の要部を示す分解斜視図である。

【図 6】

第 3 の実施の形態に係る回路基板の要部断面図である。

【図 7】

本発明の第 1 実施例に係る回路基板を備えた電子装置の要部断面図である。

【図 8】

(A) ~ (D) は第 1 実施例に係る回路基板の製造工程 (その 1) を示す図である。

【図 9】

(E) ~ (H) は第 1 実施例に係る回路基板の製造工程 (その 2) を示す図である。

【図 10】

本発明の第 5 実施例に係る回路基板を備えた電子装置の要部断面図である。

【図 11】

本発明の第 6 実施例に係る回路基板を備えた電子装置の要部断面図である。

【図 12】

(A) ~ (C) は第 6 実施例に係る回路基板の製造工程の一部を示す図である。

【図 13】

本発明の第 8 実施例に係る回路基板を備えた電子装置の要部断面図である。

【図 14】

本発明の第 1 実施例に係る回路基板を備えた電子装置の要部断面図である。

【図 15】

本発明によらない第 1 比較例に係る回路基板を備えた電子装置の要部断面図である。

【図 16】

本発明によらない第 2 比較例に係る回路基板を備えた電子装置の要部断面図である。

【図 17】

実施例及び比較例に係る回路基板に形成された誘電体膜の特性を示す図である。

【図 18】

実施例及び比較例に係る回路基板に形成された抵抗体膜の特性を示す図である。

【図 19】

受動部品の実装例を示す図である。

【符号の説明】

10、40、49、50A、80A、100A、120A、140A 回路基板

11	ベース基板
12	第 1 電極層
13	誘電体膜
14	第 2 電極層
15、	キャパシタ
20	AD 膜形成装置
21	エアロゾル発生器
22	成膜室
23	ガスボンベ
24	マスフローコントローラ

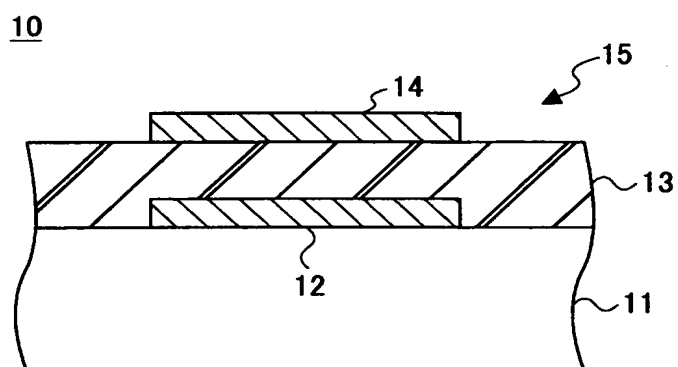


2 6 容器
2 8 振動機
3 0 ノズル
4 3 抵抗体膜
4 4 抵抗素子
4 8 インダクタ
5 0、8 0、1 0 0、1 2 0、1 4 0 電子装置

【書類名】 図面

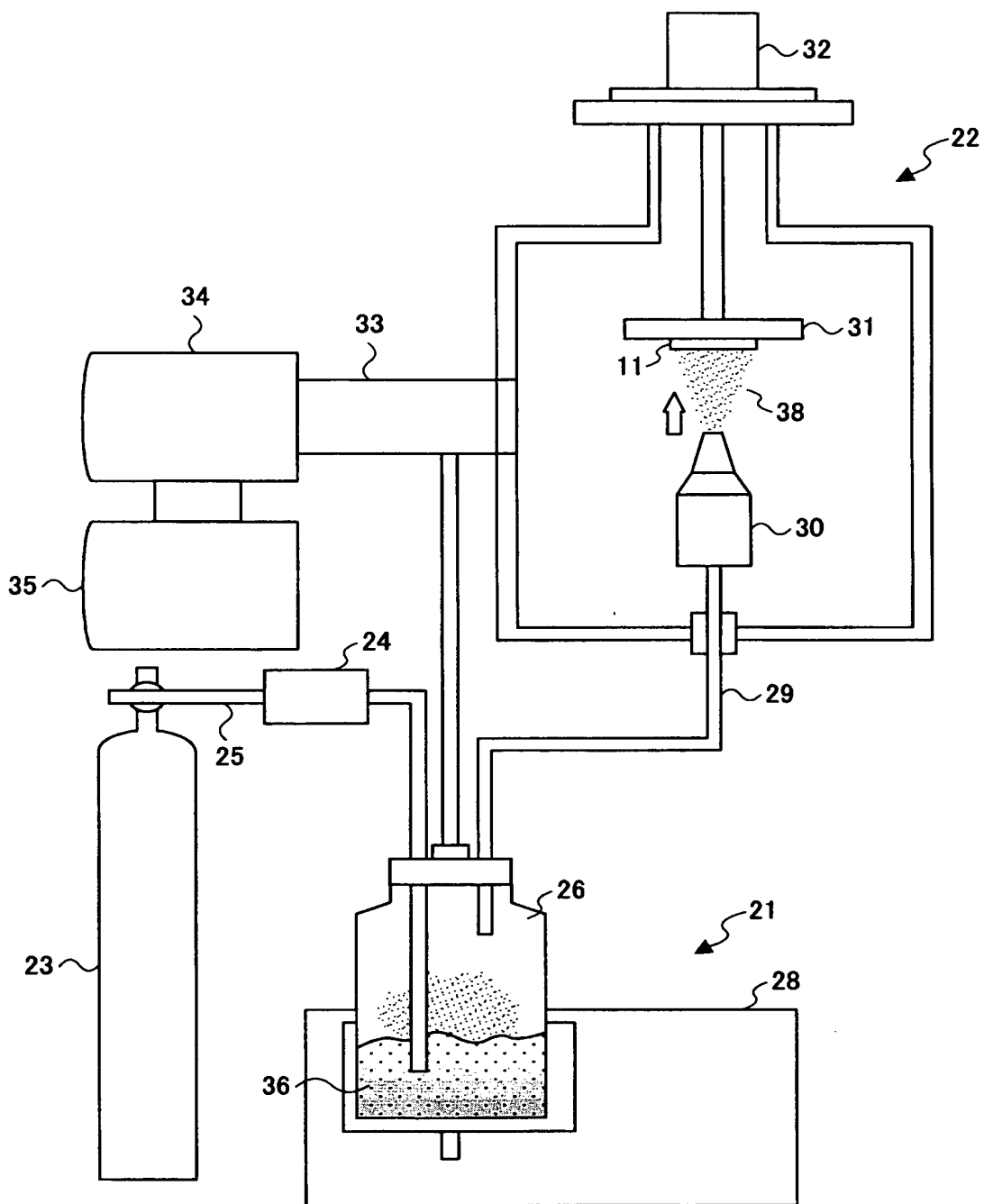
【図 1】

本発明の第 1 の実施の形態に係る回路基板の要部断面図



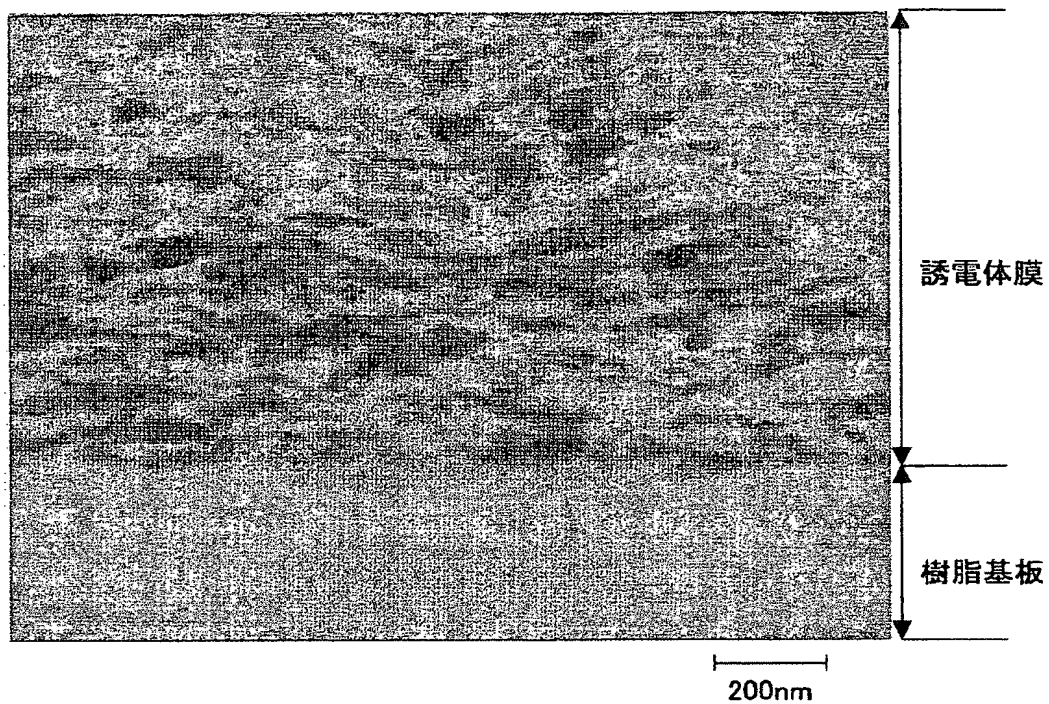
【図 2】

A D 法を用いた成膜装置の概略構成図



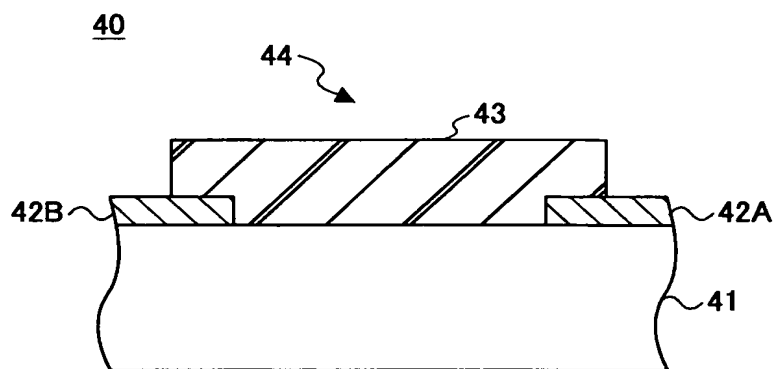
【図 3】

AD法により樹脂基板上に誘電体膜を形成した断面TEM写真



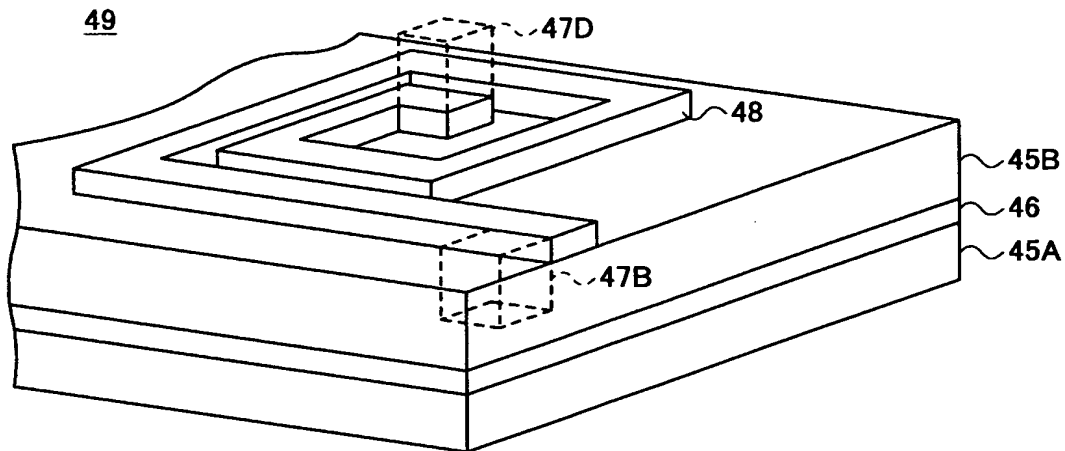
【図 4】

本発明の第2の実施の形態に係る回路基板の要部断面図



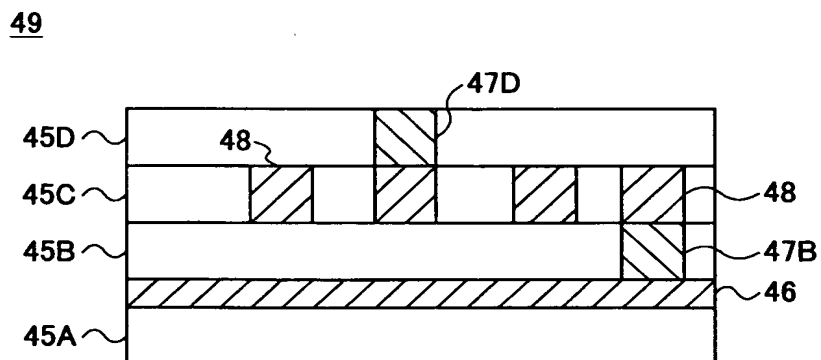
【図 5】

本発明の第 3 の実施の形態に係る
回路基板の要部を示す分解斜視図



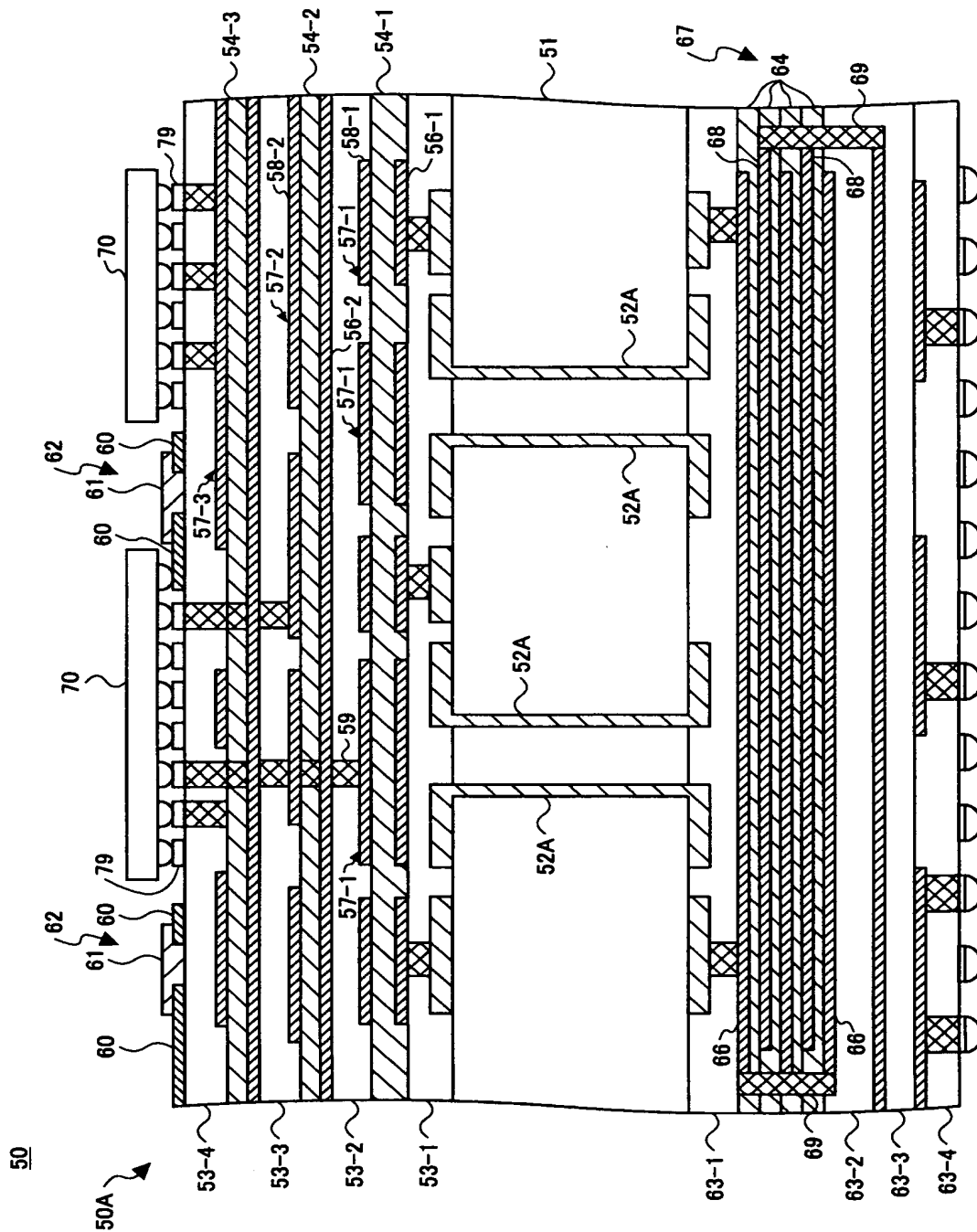
【図 6】

第 3 の実施の形態に係る回路基板の要部断面図



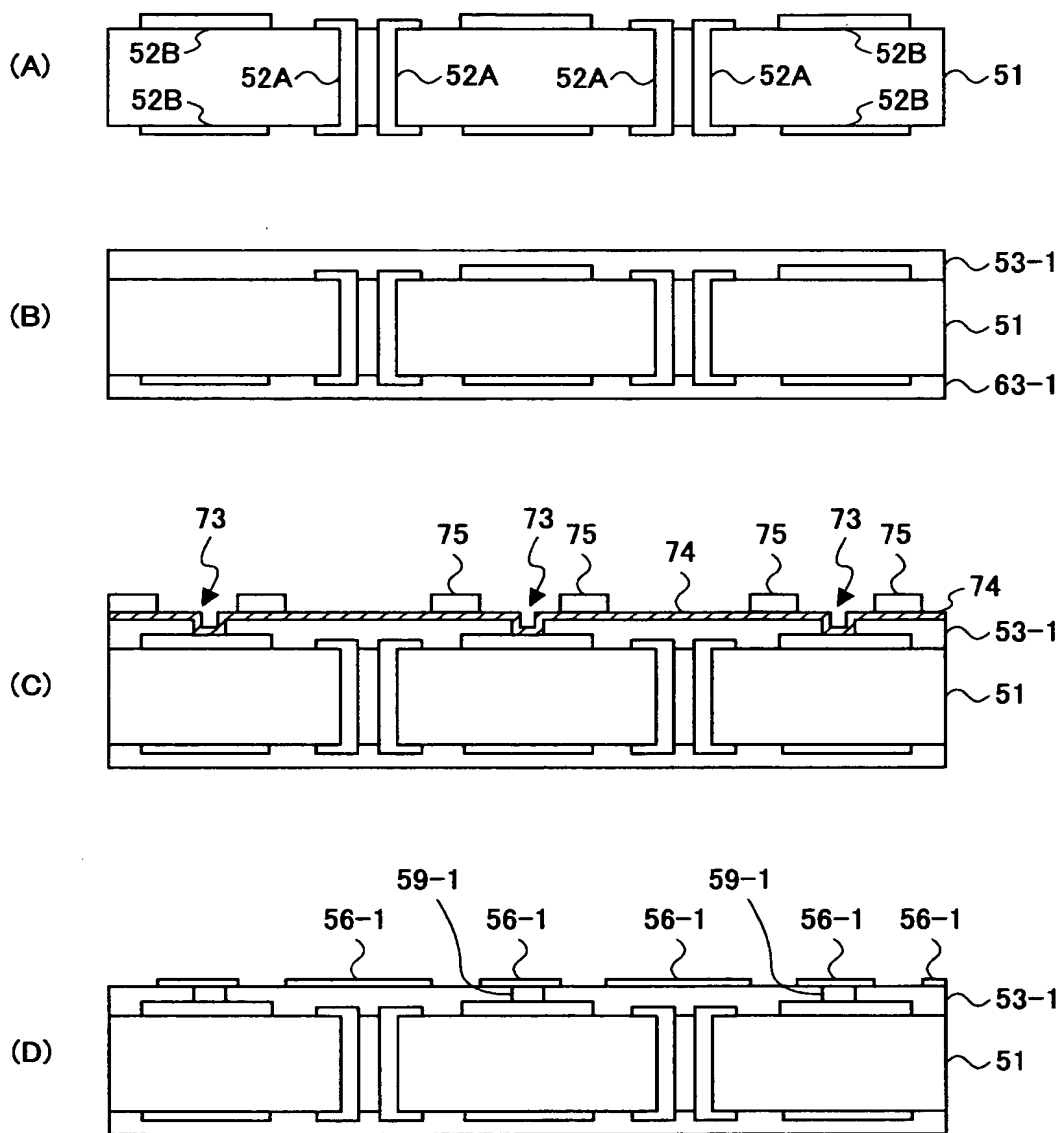
【図 7】

本発明の第 1 実施例に係る回路基板を備えた電子装置の要部断面図



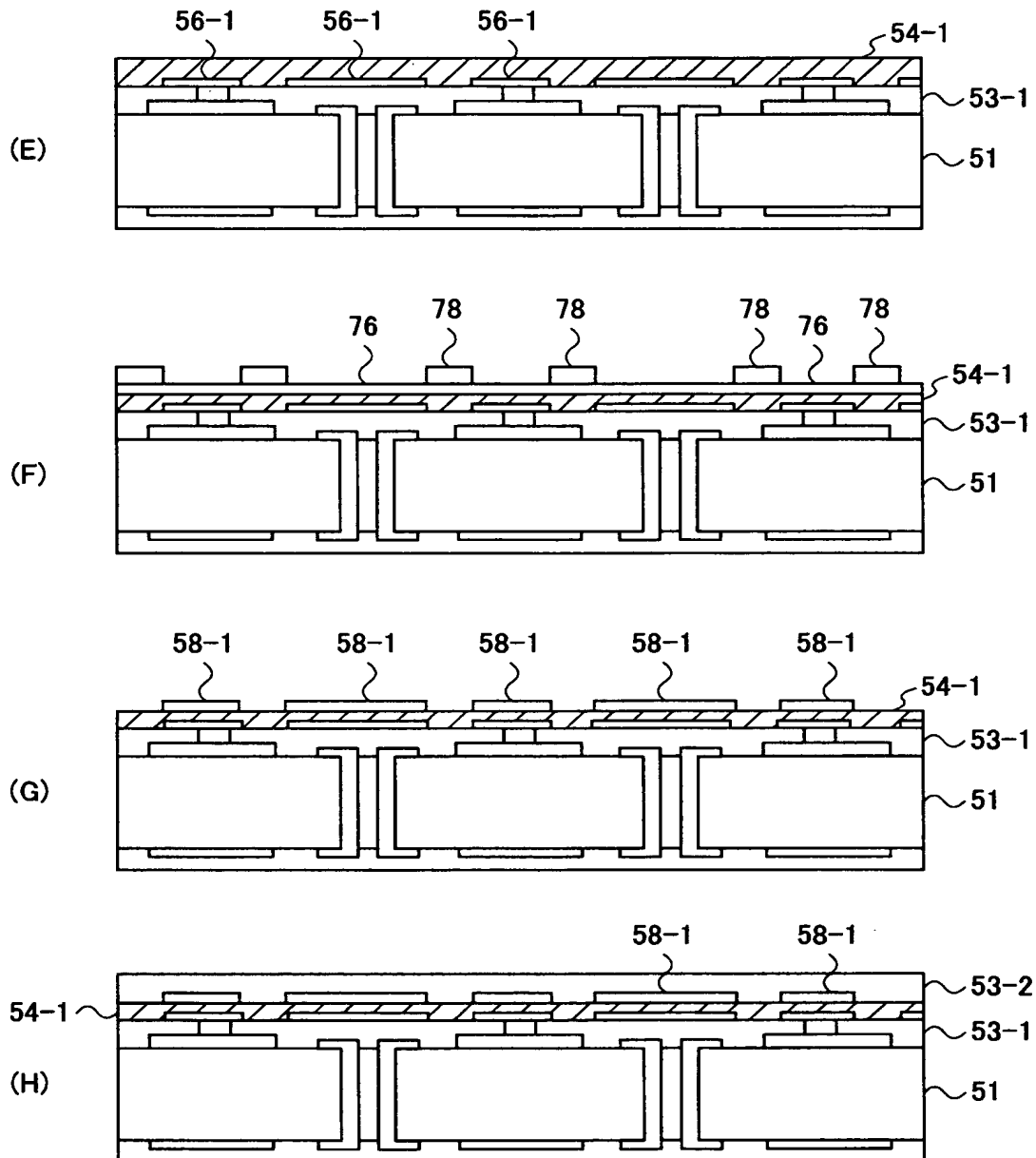
【図 8】

(A) ~ (D) は第 1 実施例に係る
回路基板の製造工程 (その 1) を示す図



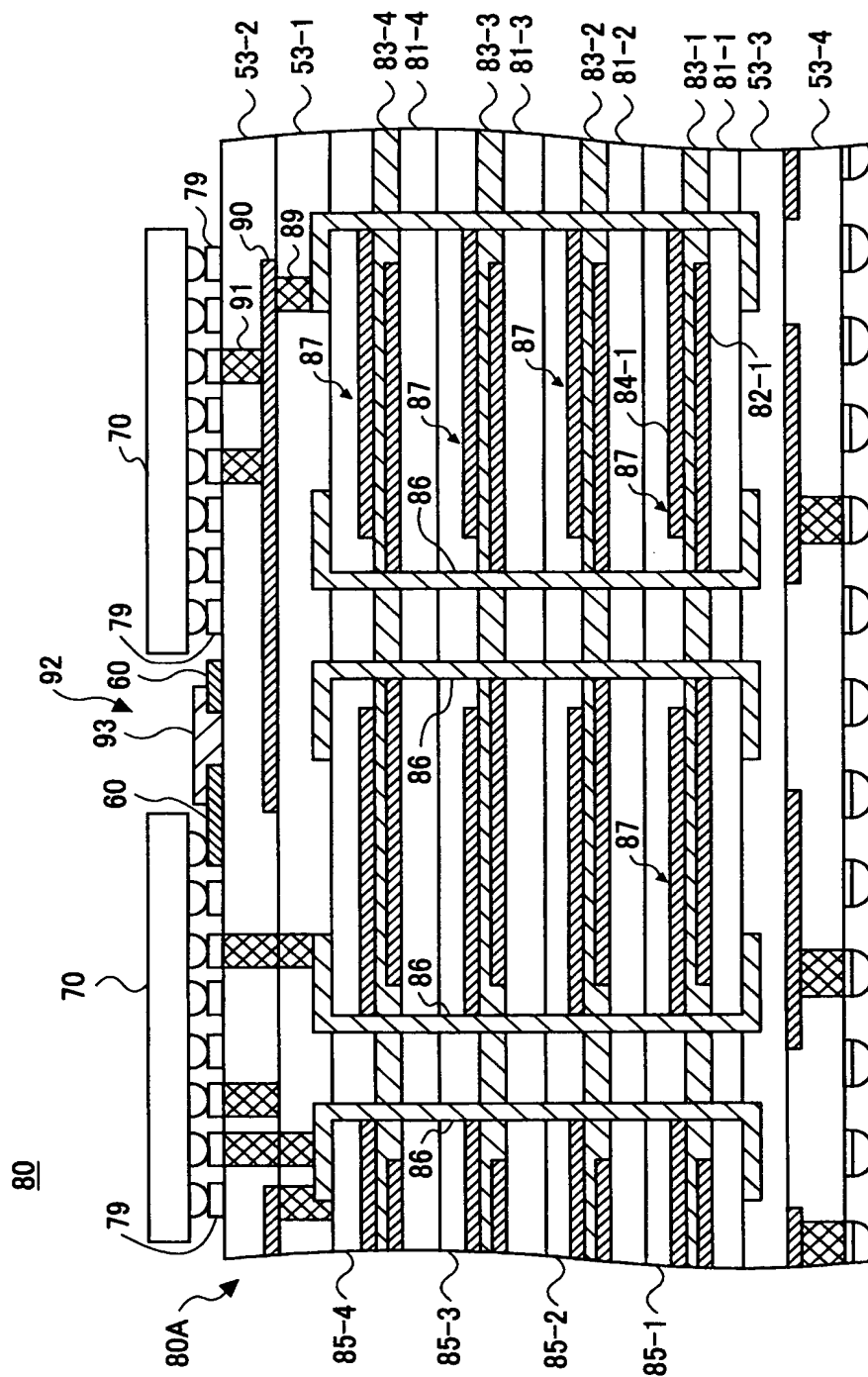
【図 9】

(E) ~ (H) は第 1 実施例に係る
回路基板の製造工程 (その 2) を示す図



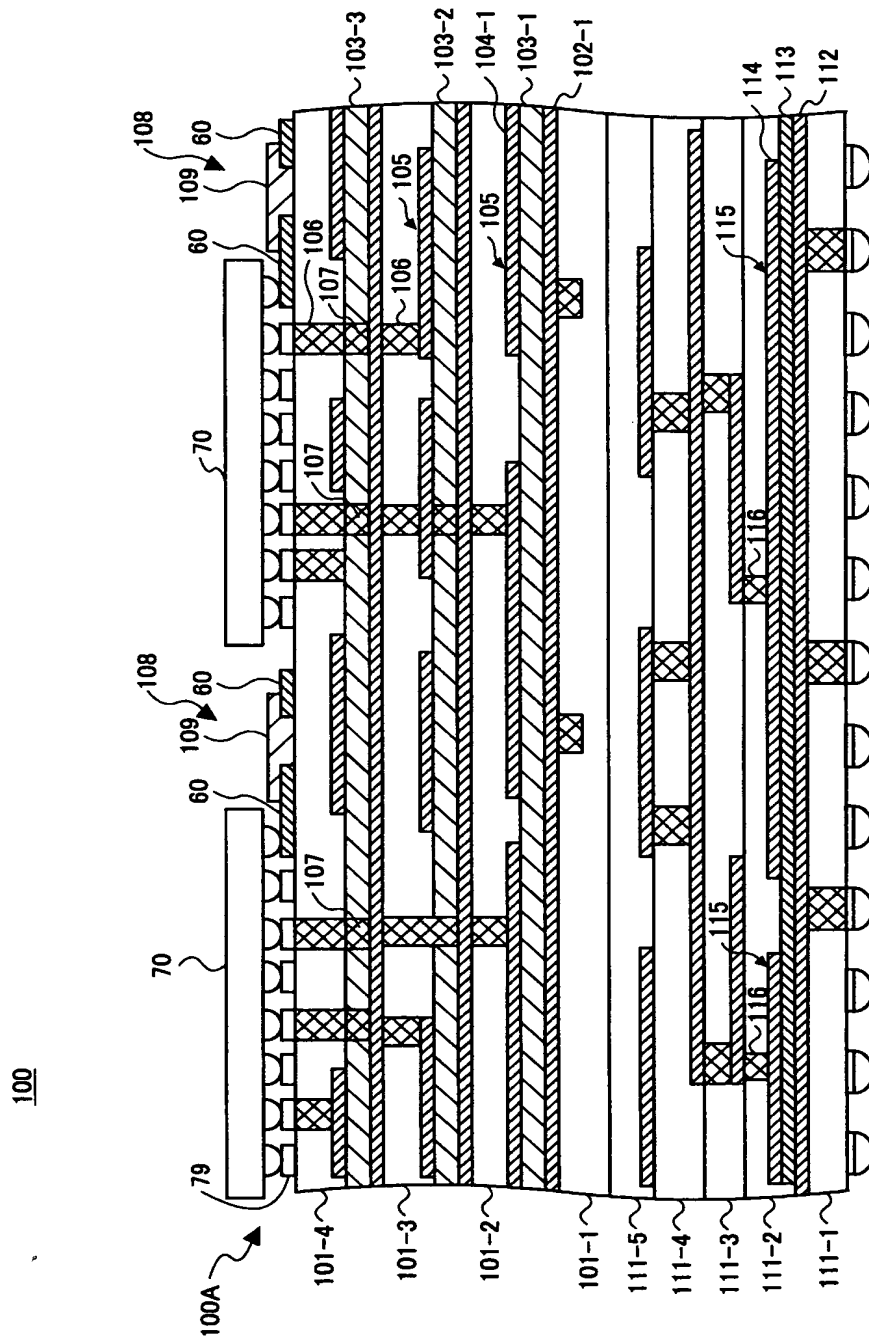
【図 10】

本発明の第５実施例に係る回路基板を備えた電子装置の要部断面図



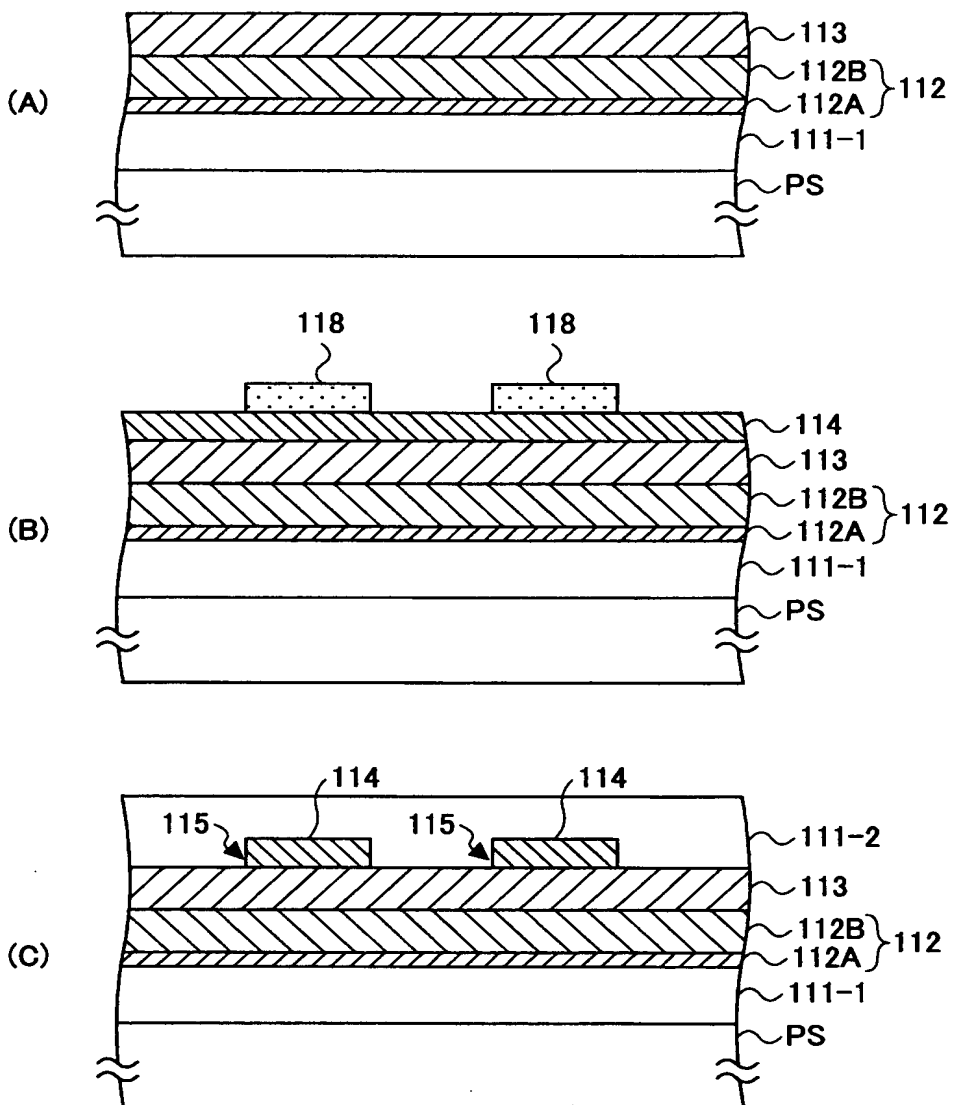
【図 11】

本発明の第6実施例に係る回路基板を備えた電子装置の要部断面図



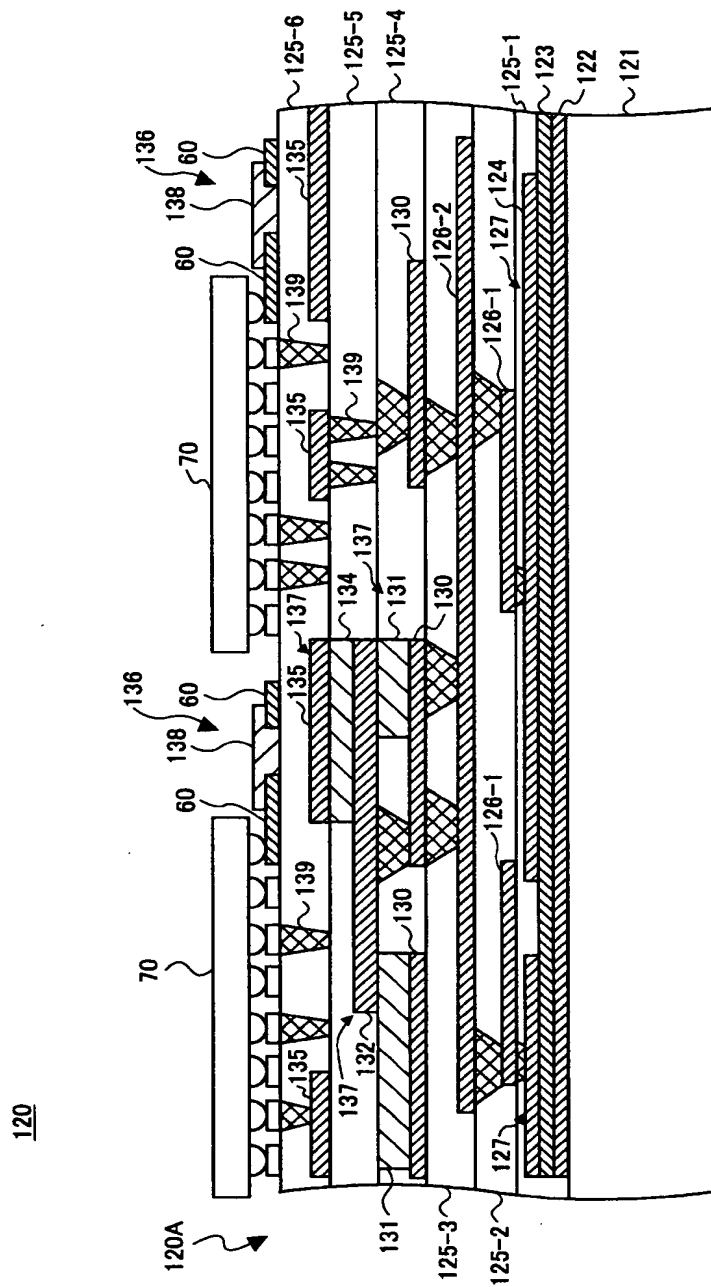
【図 12】

(A) ~ (C) は第 6 実施例に係る
回路基板の製造工程の一部を示す図



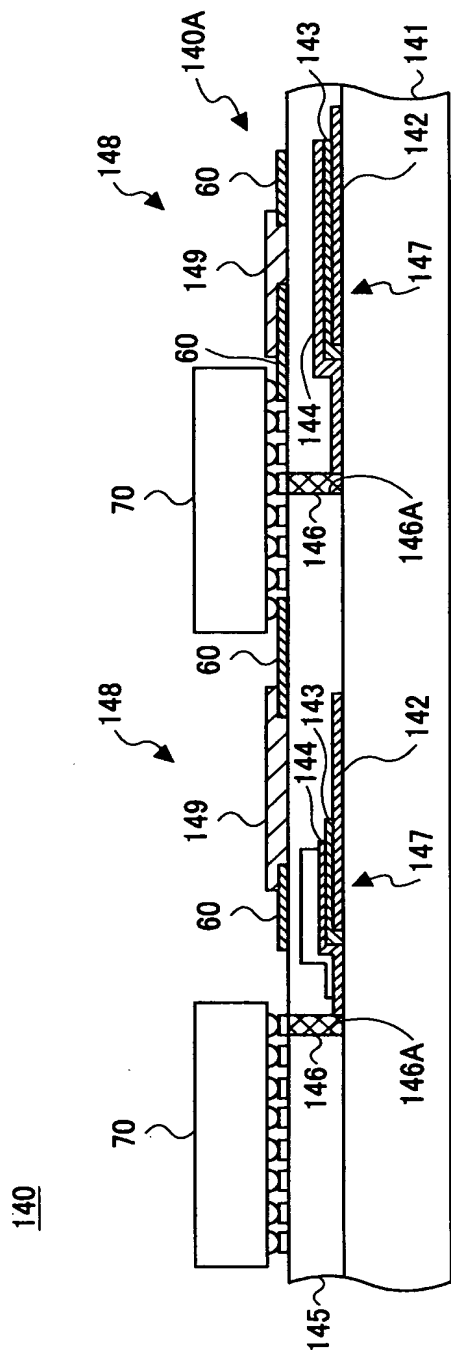
【図 13】

本発明の第 8 実施例に係る回路基板を備えた電子装置の要部断面図



【図 14】

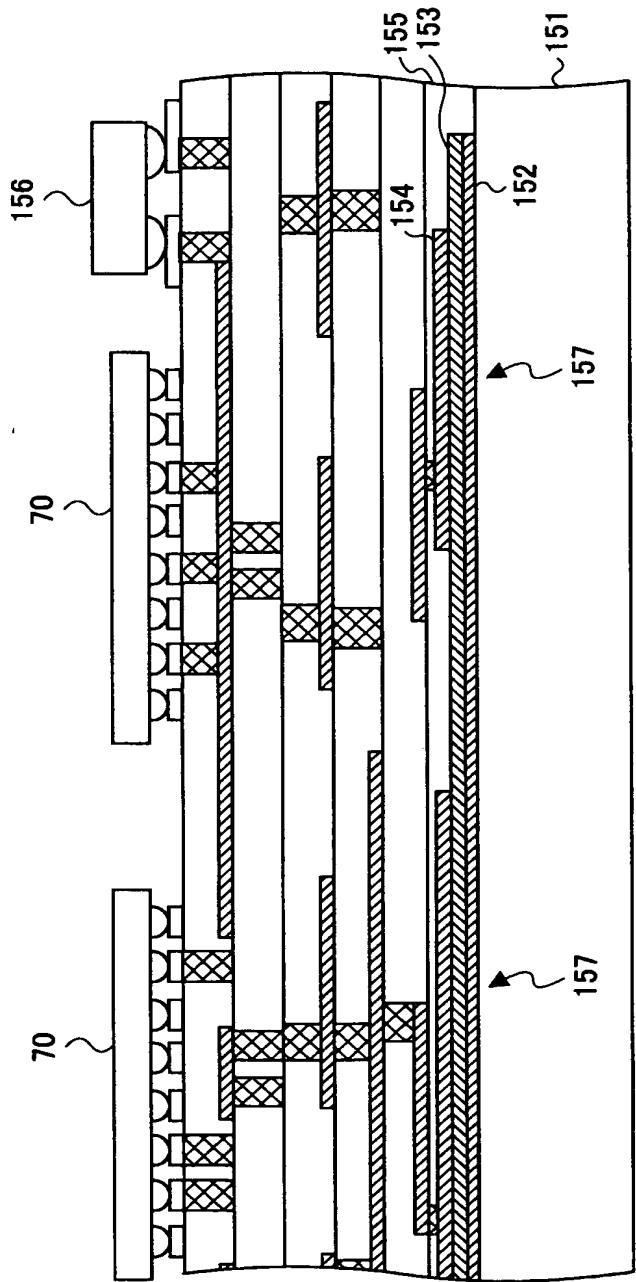
本発明の第 1 1 実施例に係る回路
基板を備えた電子装置の要部断面図



【図 15】

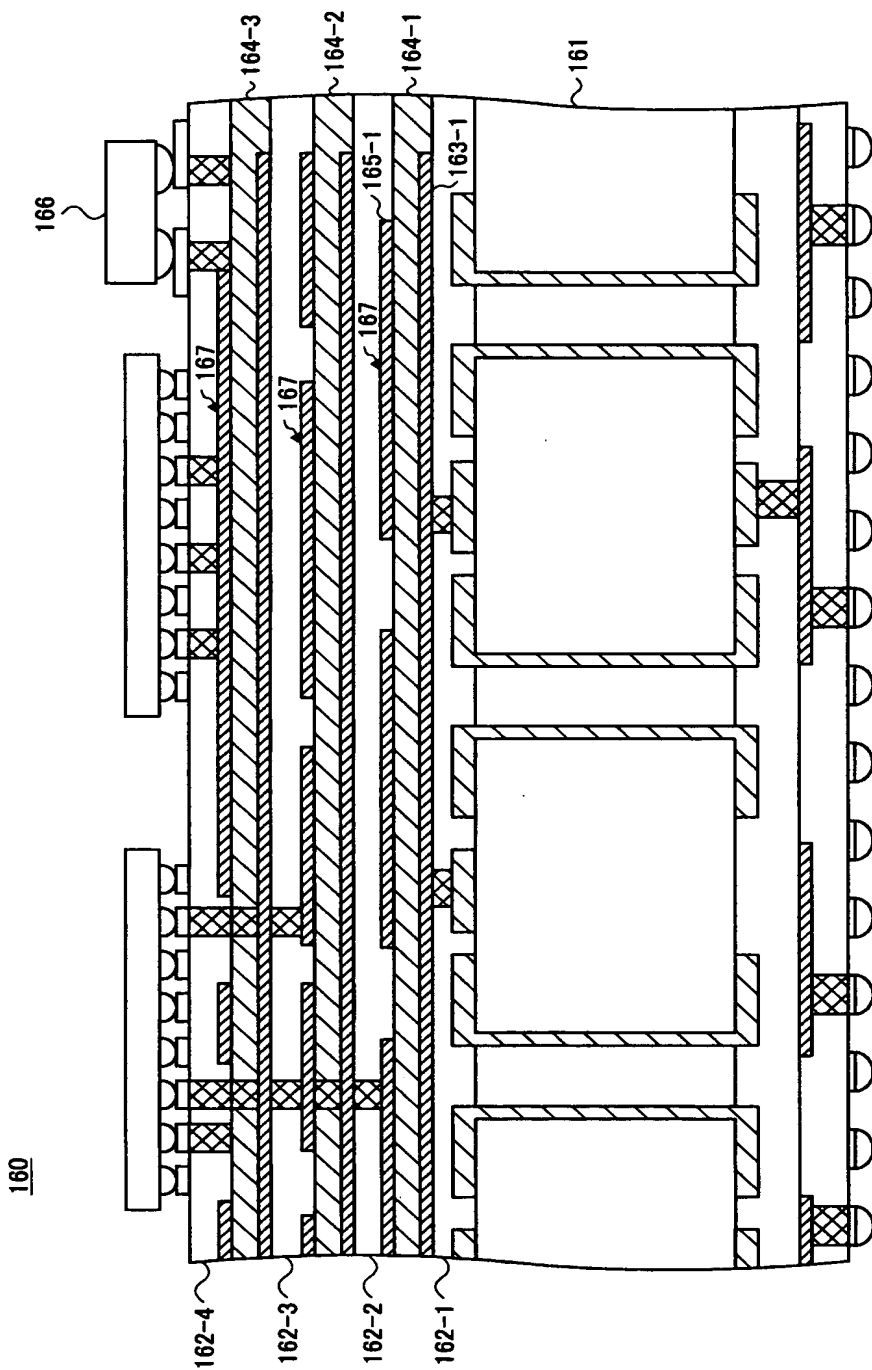
本発明によらない第 1 比較例に係る
回路基板を備えた電子装置の要部断面図

150



【図 16】

本発明によらない第2比較例に係る
回路基板を備えた電子装置の要部断面図



【図 17】

実施例及び比較例に係る回路基板に
形成された誘電体膜の特性を示す図

実施例	基板材料	絶縁層材料	誘電体膜微粒子材料	アルミナコート処理	平均粒径 (μm)	膜厚 (μm)	比誘電率 (1GHz)	静電容量密度 (nF/cm^2)
1	FR-4	エポキシ樹脂	TiO_2	有り	0.3	10	100	80
2	FR-4	エポキシ樹脂	BaTiO_3	有り	0.1	10	1500	1300
3	FR-4	エポキシ樹脂	Al_2O_3	無し	0.2	10	10	24
4	FR-4	エポキシ樹脂	TiO_2	無し	0.3	10	80	65
5	FR-4	エポキシ樹脂	BaTiO_3	有り	0.3	10	1500	2600
6	ポリイミド樹脂	ポリイミド樹脂	BaSrTiO_3	有り	0.1	10	2000	1800
7	ポリイミド樹脂	ポリイミド樹脂	$\text{Ba}_2\text{Ti}_6\text{O}_{20}$	有り	0.3	10	20	35
8	Siウエハ	ポリイミド樹脂	BaTi_4O_9	有り	0.1	10	25	40
9	Siウエハ	ポリイミド樹脂	BaSrTiO_3	有り	0.1	10	1500	1300
10	Siウエハ	ポリイミド樹脂	BaSrTiO_3 と PbZrTiO_3 との混合物	無し	0.1	10	3000	5300
11	樹脂筐体	エポキシ樹脂		有り	0.3	10	80	50
第1比較例	FR-4	ポリイミド樹脂	BaSrTiO_3 スラッタ膜	—	—	5	10	8
第2比較例	FR-4	エポキシ樹脂	BaTiO_3 とエポキシ樹脂の混合物	—	0.1	100	30	0.3

【図 18】

実施例及び比較例に係る回路基板に
形成された抵抗体膜の特性を示す図

実施例	抵抗体膜微粒子材料	平均粒径(μm)	膜厚	比抵抗($\mu\Omega\cdot\text{cm}$)
1	RuO_2	0.01	10	16
6	SrRuO_3	0.01	10	20
8	BiRuO_3	0.01	10	30
11	Ta_2O_5	0.01	10	80
12-1	NiCr	0.01	10	100
12-2	TaN	0.01	10	200
12-3	Ru	0.01	10	10
12-4	Ir	0.01	10	8
12-5	IrO_2	0.01	10	20

【図 1 9】

受動部品の実装例を示す図

実施例	基板表面の受動部品数	基板面積
1	5	0.6
5	4	0.4
6	5	0.5
8	3	0.4
11	10	0.4
第1比較例	15	0.8
第2比較例	20	1

【書類名】 要約書

【要約】

【課題】 特性の優れた受動素子が組み込まれた高集積密度化及び小型化が可能な回路基板及び電子装置を提供することである。

【解決手段】 樹脂材料よりなるベース基板 11 と、ベース基板 11 表面に選択的に形成された第 1 電極層 12 と、ベース基板 11 及び第 1 電極層 12 を覆う誘電体膜 13 と、誘電体膜 13 上に第 1 の電極層と対向するように形成された第 2 電極層 14 などから構成され、第 1 電極層 12 と第 2 電極層により誘電体膜 13 を挟んでなるキャパシタ 15 を形成する。誘電体膜は酸化物セラミックスの誘電体微粒子材料を用いてエアロゾルデポジション法により形成する。

【選択図】 図 1



特願 2 0 0 3 - 1 3 7 3 9 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社

特願 2 0 0 3 - 1 3 7 3 9 8

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 2 1 5 3 3]

1. 変更年月日

2 0 0 1 年 4 月 2 日

[変更理由]

新規登録

住 所

東京都千代田区霞が関 1 - 3 - 1

氏 名

独立行政法人産業技術総合研究所